

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年1月3日 (03.01.2008)

PCT

(10) 国際公開番号  
WO 2008/001603 A1

- (51) 国際特許分類:  
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061737
- (22) 国際出願日: 2007年6月11日 (11.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2006-175408 2006年6月26日 (26.06.2006) JP  
特願2006-304320 2006年11月9日 (09.11.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人群馬大学 (NATIONAL UNIVERSITY CORPORATION GUNMA UNIVERSITY) [JP/JP]; 〒3718510 群馬県前橋市荒牧町四丁目2番地 Gunma (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小堀 康功 (KOBORI, Yasunori) [JP/JP]; 〒3760026 群馬県桐生市清

瀬町5-37 Gunma (JP). 古谷 哲也 (FURUYA, Tet-suya) [JP/JP]; 〒4700332 愛知県豊田市越戸町松葉51-1-406 Aichi (JP). 小林 春夫 (KOBAYASHI, Haruo) [JP/JP]; 〒3760011 群馬県桐生市相生町1-5-1 Gunma (JP).

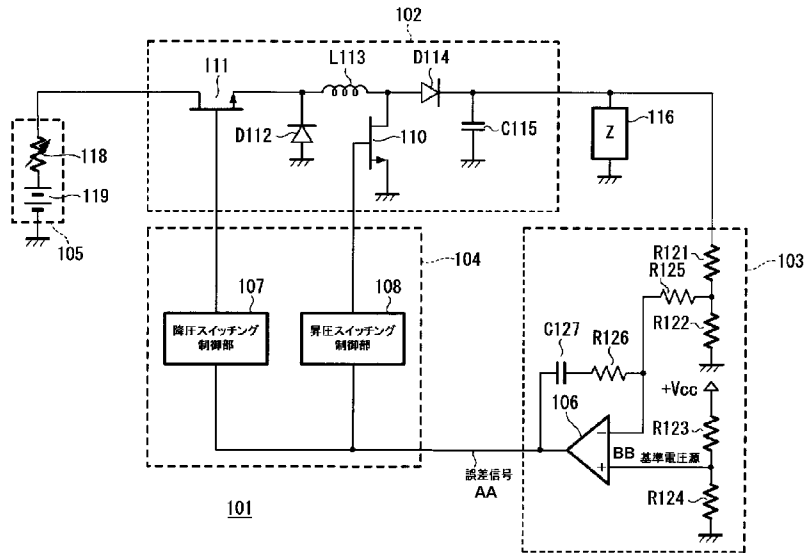
(74) 代理人: 角田 芳末, 外 (TSUNODA, Yoshisue et al.); 〒1600023 東京都新宿区西新宿1丁目8番1号新宿ビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[ 続葉有 ]

(54) Title: DC/DC CONVERTER

(54) 発明の名称: DC-DCコンバータ



107 STEP-DOWN SWITCHING CONTROL PART  
 108 STEP-UP SWITCHING CONTROL PART  
 AA ERROR SIGNAL  
 BB REFERENCE VOLTAGE SOURCE

(57) Abstract: A conventional DC/DC converter with both a step-up function and a step-down function has a drawback that its output voltage will be discontinuous when its operations are switched. An error signal, which is representative of a difference between a target voltage and a present voltage, is inputted to both a step-down switching control circuit and a step-up switching control circuit. When the difference between the target voltage and the present voltage is below a predetermined value, the switchings of the step-down and step-up converters by the step-down and step-up switching control circuits, respectively, are caused to concurrently run in a time division manner.

[ 続葉有 ]



WO 2008/001603 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, ZA, ZM, ZW.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約: 昇圧と降圧を兼用するDC-DCコンバータはその動作の切り替えの際に出力電圧がどうしても不連続になる。目標電圧と現在の電圧との差よりなるエラー信号を、降圧スイッチング制御回路と昇圧スイッチング制御回路に、それぞれ入力させる。目標電圧と現在の電圧との差が所定の値を下回る範囲においては、降圧スイッチング制御回路によるステップダウンコンバータのスイッチングと、昇圧スイッチング制御回路によるステップアップコンバータのスイッチングとが時分割で同時進行するように、制御を行う。

## 明 細 書

### DC-DCコンバータ

#### 技術分野

[0001] 本発明は、DC-DCコンバータに関する。

より詳細には、降圧制御と昇圧制御を兼ね、入力電圧の緩やかな低下に対して常に一定の電圧の出力を保障することができると共に、電圧変換損失が少ないDC-DCコンバータに関する。

#### 背景技術

[0002] 今日、携帯電話や携帯オーディオプレーヤ等の、携帯型電子機器が広く普及している。これら携帯型電子機器にはリチウムイオン二次電池が多く用いられている。

携帯型電子機器の多機能化等に伴い、消費電力が増大し、これを支える電池の長寿命化が望まれている。

こうした市場の要求に応えるべく、従来のリチウムイオン二次電池を改良した、新たなリチウムイオン二次電池が登場した(非特許文献1参照)。この新型電池は従来のリチウムイオン電池に比べ、電流容量が約30%増えている。

[0003] この新型電池の放電特性を、図21のグラフに示す。新型電池は従来の電池に比べて放電容量が増えて長寿命化に貢献している。その一方で、安定に出力される放電電圧は2V付近まで拡大されている。

従来のリチウムイオン電池の場合、放電時の電圧は高いが3V以下では電圧が急激に低下する(図21のE1)ことから、過放電対策として放電終止電圧を3Vに設定していた。この場合、出力電圧は2.5Vであるので、電源回路は降圧型制御のみのDC-DCコンバータを用意すればよかった。

これに対し、新型のリチウムイオン電池を使いこなすには、出力電圧よりも低い2.0V付近までの入力電圧に対しても対応をしなければならない。すなわち、DC-DCコンバータは従来の降圧型制御に加えて昇圧型制御も行う必要があり、更にはこれら両方の制御方式を連続的に滑らかに切り替え制御して、従来の負荷の仕様である2.5Vの出力に対応する必要がある。

特許文献1:特開2002-233139号公報

特許文献2:特公昭58-40913号公報

非特許文献1:日経エレクトロニクス”負極を変えて容量30%増 ソニーが新型Liイオン電池”pp.34-35(2005.02.28)

非特許文献2:電気情報通信学会論文「 $\Delta \Sigma$ 変調制御を用いたDC-DCコンバータの特性について」今村康秀、田中哲郎、吉田宏、信学技報EE2002-78

### 発明の開示

[0004] 昇圧型制御と降圧型制御を兼ねるDC-DCコンバータは従来にも多くあったが、それらは必ずしも携帯型機器に求められる性能を満足しているとは言えなかった。

一例として、特許文献1を示す。特許文献1には、昇圧型コンバータの後に降圧型コンバータを直列に接続している。このような構成では、一目してわかるようにコイルやコンデンサ等の部品点数が多く、それら部品に由来するコンバータ自体の電圧変換ロスが従属接続されるので、電圧変換効率が悪化する。また、特許文献1の回路では昇圧型コンバータが電圧をほぼ倍に昇圧してから降圧型コンバータで降圧しているので、不必要な電圧の上げ下げが行われることとなる。

[0005] 本発明はかかる点に鑑みてなされたものであり、入力電圧の緩やかな低下に対して常に一定の電圧の出力を保障すると共に、電圧変換損失が少ないDC-DCコンバータを提供することを目的とする。

[0006] 上記課題を解決するための本発明は、降圧制御スイッチと、第1のダイオードと、コイルと、昇圧制御スイッチと、第2のダイオードと、コンデンサにて回路を構成する。エラー信号生成部は、この回路の電圧と目標電圧との差を取って、誤差信号を出力する。

降圧スイッチング制御部は、誤差信号を受けて降圧制御スイッチを制御する。

昇圧スイッチング制御部は、誤差信号を受けて昇圧制御スイッチを制御する。

以上のような構成を具備することを特徴とするDC-DCコンバータにかかるものである。

[0007] 入力電圧が徐々に下がるに連れて、出力したい電圧との電位差は小さくなっていく。つまり、降圧制御が行う電位差が小さくなる。しかし、降圧制御スイッチ及び昇圧制

御スイッチによって形成するスイッチング制御のデューティ比には限界がある。入力電圧と出力電圧の差が殆どなくなったときに降圧制御から昇圧制御に切り替えると、スイッチングのデューティ比の限界から、どうしても出力電圧が不連続になってしまう。そこで、降圧のみ、或は昇圧のみの制御では不可能な制御不能電圧範囲については、極僅かな降圧制御と極僅かな昇圧制御を交互に行う。つまり、降圧制御で下がり過ぎる分を昇圧制御で補う、という動作を高速に行う。

[0008] 本発明により、二次電池の端子間電圧の緩やかな低下に対して常に一定の電圧の出力を保障すると共に、電圧変換損失の少ないDC-DCコンバータが実現できる。

#### 図面の簡単な説明

[0009] [図1]第1の実施の形態及び第2の実施の形態に共通する技術思想を開示するブロック図である。

[図2]本発明の第1の実施の形態によるDC-DCコンバータのブロック図である。

[図3]本発明の第1の実施の形態によるDC-DCコンバータの動作を説明するためのグラフである。

[図4]MIX制御期間における制御信号のタイムチャートである。

[図5]本発明の第1の実施の形態及び第2の実施の形態に用いられている、ステップダウンコンバータとステップアップコンバータの原理図である。

[図6]本発明の第1の実施の形態によるDC-DCコンバータの回路図である。

[図7]本発明の第1の実施の形態によるDC-DCコンバータの制御動作を説明する電圧イメージ図である。

[図8]鋸歯状波信号及び誤差信号の電圧と、PWM制御信号の関係を示すグラフである。

[図9]MIX制御期間内における、回路の各部の波形を概略的に示すタイムチャートである。

[図10]本発明の第1の実施の形態によるMIX制御を用いない降圧・昇圧制御と、MIX制御を行った降圧・昇圧制御との、出力電圧の変化を計算機シミュレーションにて解析した結果のグラフである。

[図11]本発明の第1の実施の形態によるDC-DCコンバータの回路図である。

[図12]本発明の第1の実施の形態によるDC-DCコンバータの回路図である。

[図13]本発明の第1の実施の形態によるDC-DCコンバータの回路図である。

[図14]本発明の第1の実施の形態によるDC-DCコンバータの回路図である。

[図15]本発明の第2の実施の形態によるDC-DCコンバータのブロック図である。

[図16]本発明の第2の実施の形態によるDC-DCコンバータの回路図である。

[図17]本発明の第2の実施の形態によるDC-DCコンバータの動作を説明する図である。

[図18]DC-DCコンバータの回路を計算機にてシミュレーションを行った結果を示す図である。

[図19]DC-DCコンバータの、負荷変動に対する出力の過渡応答特性を計算機シミュレーションにて得た図である。

[図20]本発明の第2の実施の形態によるDC-DCコンバータの回路図である。

[図21]新型電池の放電特性を示すグラフである。

#### 発明を実施するための最良の形態

[0010] 以下、本発明の実施の形態を、図1～図21を参照して説明する。

[0011] 図1は、後述する第1の実施の形態及び第2の実施の形態に共通する技術思想を開示するブロック図である。

このブロック図は、回路素子と機能を示すブロックとが混在する回路図のような形態である。

DC-DCコンバータ101は、コンバータ回路部102と、エラー信号生成部103と、昇降圧制御部104に分けられる。後述する二つの実施形態は、主に昇降圧制御部104に係るものである。

[0012] コンバータ回路部102は、バッテリー105の電圧(入力電圧)を一定の電圧(出力電圧)に変換する。

バッテリー105は周知の電池である。一次電池でも二次電池でもよい。バッテリー105は電圧源119と内部抵抗118として等価的に記述される。つまり、電池の消耗に伴って、内部抵抗118が増える。

エラー信号生成部103は、主に抵抗R125とR126、コンデンサC127、そしてオペ

アンプ106よりなる差動増幅器よりなる。コンバータ回路部102から出力される出力電圧を抵抗R121及びR122で分圧し、抵抗R123及びR124から得られる基準電圧と比較して、その差の信号を出力するものである。この信号、すなわちオペアンプ106が出力する信号は、昇降圧制御部104のフィードバック制御のための制御信号(以下「誤差信号」と略)となる。

[0013] 昇降圧制御部104は、降圧スイッチング制御部107と、昇圧スイッチング制御部108よりなる。

降圧スイッチング制御部107は、誤差信号を受けて、パルス状の電圧よりなる制御信号を出力する。この信号は、第1のFET111のゲートに加えられ、第1のFET111をオン／オフ制御する。

昇圧スイッチング制御部108は、誤差信号を受けて、パルス状の電圧よりなる制御信号を出力する。この信号は、第2のFET110のゲートに加えられ、第2のFET110をオン／オフ制御する。

第1のFET111のオン／オフ制御のデューティ比によって、バッテリー105の電圧は下げられる。

第2のFET110のオン／オフ制御のデューティ比によって、バッテリー105の電圧は上げられる。

[0014] バッテリー105は、使用するに連れて消耗し、内部抵抗118が増加する。すると、バッテリー105の端子間電圧は低下する。

従来技術では、降圧制御と昇圧制御が時間的に分離していたため、降圧制御から昇圧制御に移行する際に、DC-DCコンバータの出力電圧に不連続な状態が生じていた。

本実施形態では、降圧制御から昇圧制御に移行する際に、降圧制御と昇圧制御が同時に行われる期間を設けた。

[0015] [第1の実施形態]

図2は、第1の実施の形態の例である、DC-DCコンバータのブロック図を示す。

このブロック図は、回路素子と機能を示すブロックとが混在する回路図のような形態である。

DC-DCコンバータ201は、コンバータ回路部102と、エラー信号生成部103と、昇降圧制御部104に分けられる。

バッテリー105は周知の電池である。一次電池でも二次電池でもよい。

コンバータ回路部102はステップダウンコンバータとステップアップコンバータを複合した形式の回路であり、特許文献2等にて周知である。ステップダウンコンバータとステップアップコンバータの詳細については非特許文献1および非特許文献2等にて周知である。

降圧制御スイッチともいえる第1のFET111は、コンバータ回路部102において電圧を下げる制御を行うためのスイッチである。第1のFET111のオン/オフ動作のデューティ比を変化させることにより、出力電圧の下げ幅を制御できる。

第1のダイオードD112は第1のFET111がオフの期間において、後続のコイルL113を含む電流路を形成するためのものである。

コイルL113は周知のインダクタンス素子である。後続のコンデンサC115と共にLCフィルタを構成し、矩形波状の電流を平滑化すると共に、前述の第1のFET111と第1のダイオードD112と後続のコンデンサC115よりなるステップダウンコンバータの蓄電作用をもたらす素子として、また後続の第2のFET110と第2のダイオードD114とコンデンサC115よりなるステップアップコンバータの蓄電作用をもたらす素子として、重要な役目を持つ。

昇圧制御スイッチともいえる第2のFET110は、コンバータ回路部102において電圧を上げる制御を行うためのスイッチである。第2のFET110のオン/オフ動作のデューティ比を変化させることにより、出力電圧の上げ幅を制御できる。

第2のダイオードD114は、第2のFET110がオンの期間において、後続のコンデンサC115から生じる電流を第2のFET110に通さないためのものである。

コンデンサC115は前述の通り、LCフィルタを構成すると共に、蓄電作用をもたらす素子として重要な役目を持つ。

DC-DCコンバータ201の出力は、負荷116に供給される。

[0016] 降圧PWM制御部202は、第1のFET111をオン/オフ制御するべく、降圧制御信号S2を与える。オン/オフ期間のデューティ比を変化させると、降圧制御の電圧が



変化する。

昇圧PWM制御部203は、第2のFET110をオン／オフ制御するべく、昇圧制御信号S3を与える。オン／オフ期間のデューティ比を変化させると、昇圧制御の電圧が変化する。

降圧PWM制御スイッチ204は、第1のFET111に降圧PWM制御部202から発される降圧制御信号を与えるか或は遮断するかを選択するスイッチである。

昇圧PWM制御スイッチ205は、第2のFET110に昇圧PWM制御部203から発される昇圧制御信号を与えるか或は遮断するかを選択するスイッチである。

MIX制御部206は、本発明の中心的役割を担う機能を提供するものであり、降圧PWM制御スイッチ204と昇圧PWM制御スイッチ205を排他的にオン／オフ制御する。この制御動作により、降圧PWM制御動作と昇圧PWM制御動作が交互に行われる。この、MIX制御部206によりもたらされる制御動作(以下「MIX制御」と呼ぶ)については後程詳述する。

[0017] 図3(a)及び(b)は、図2のDC-DCコンバータ201の動作を説明するためのグラフである。

図3(a)は時間軸上のバッテリー105の電圧変化を示したものである。このバッテリー105の電圧変化は、通常は時間軸に対して非直線となるが、ここでは説明の便宜上直線にしている。図3(a)に示す電圧 $V_{in}$ は、バッテリー105の端子間電圧であり、バッテリー105は消耗すると内部抵抗が増大して端子間電圧が降下することを示している。

図3(b)は、図3(a)と同一の時間軸上における、降圧及び昇圧制御を説明するための図である。ここで、状態S1は、降圧PWM制御スイッチ204および昇圧PWM制御スイッチ205のオン／オフ制御の状態を示している。つまり、図3(b)では、降圧PWM制御部202から発生される降圧制御信号S2の波形と、昇圧PWM制御部203から発生される昇圧制御信号S3の波形が時間軸を拡大するような形態で示されている。

[0018] 図3(b)において、状態S1がHのとき、つまり電圧 $V_{in}$ が降圧制御限界電圧 $V_{t1}$ に降下するまでの期間(時間 $t_0$ ～時間 $t_1$ までの間)は、降圧PWM制御スイッチ204がオンとなり、昇圧PWM制御スイッチ205がオフとなる期間である。この期間は降圧P

WM制御が行われる。

この降圧PWM制御が行われている期間は、MIX制御部206から降圧PWM制御スイッチ204に制御信号が送られ、降圧PWM制御スイッチ204がオン状態になっている。そして、降圧PWM制御部202からの降圧制御信号S2(図2参照)が降圧PWM制御スイッチ204を介してコンバータ回路部102の第1のFET111に供給される。そして、この降圧制御信号S2のデューティ比によって、第1のFET111のスイッチング制御がなされる。

ここで、降圧制御信号S2は、図2(b)に示されるように、最初はデューティ比が例えば50%であるが、徐々にデューティ比が変化していく。つまり、電圧 $V_{in}$ が降下するに連れて、第1のFET111のオン状態が長くなるように制御される。

[0019] 次に、状態S1がLのとき、つまり電圧 $V_{in}$ が昇圧制御限界電圧 $V_{t2}$ 以下に降下した後の期間(時間 $t_2$ を超えた期間)は、降圧PWM制御スイッチ204がオフとなり、昇圧PWM制御スイッチ205がオンとなる期間である。この期間は昇圧PWM制御が行われる期間である。

これを図2に基づいて説明すると、この時間 $t_2$ を超えた期間は、MIX制御部206から昇圧PWM制御スイッチ205に制御信号が送られ、昇圧PWM制御スイッチ205がオン状態になる。そして、昇圧PWM制御部203からの昇圧制御信号S3(図2参照)が昇圧PWM制御スイッチ205を介してコンバータ回路部102の第2のFET110に供給される。この状態では降圧PWM制御スイッチ204はオフ状態となっている。そして、この昇圧制御信号S3のデューティ比によって第2のFET110のスイッチング制御がなされる。

ここで、昇圧制御信号S3は、図2(b)に示されるように、最初はデューティ比が例えば5%と小さいが、徐々にデューティ比が大きくなり変化していく。つまり、電圧 $V_{in}$ が降下するに連れて、第2のFET110のオン状態が長くなるように制御される。

[0020] 次に、本発明の実施形態において、最も重要なMIX制御について説明する。図3(b)に示すMIX制御の期間(時間 $t_1 \sim t_2$ までの期間)は、降圧制御と昇圧制御が混在する期間である。

すなわち、このMIX制御は、電圧 $V_{in}$ が降圧制御限界電圧 $V_{t1}$ にさしかかるとMIX

制御部206(図2参照)において開始される。このMIX制御期間中は、降圧PWM制御部202から発生される降圧制御信号S2のデューティ比は最大の値である95:5に固定され、同様に昇圧PWM制御部203から発生される昇圧制御信号S3のデューティ比は最小の値5:95に固定されている。

そして、時間 $t_1$ 近郊では降圧制御「4」に対して、昇圧制御「1」の割合でMIX制御がなされ、時間 $t_2$ に近づくに従ってその割合が逆転する。つまり、時間 $t_1$ から時間 $t_2$ に進むにつれて、降圧制御が行われる期間「4:1」、「3:1」、「2:1」、「1:1」と次第に減少し、逆に昇圧制御が行われる期間が、「1:1」、「2:1」、「3:1」、「4:1」と次第に増大するようにMIX制御が行われる。このMIX制御が終了すると、上述した昇圧PWM制御部203による昇圧PWM制御に移行することになる。

[0021] なお、降圧PWM制御部202から発生される降圧制御信号S2のデューティ比が、最大の値である95:5に固定されているときは、最も小さな降圧制御がなされている状態である。

同様に、昇圧PWM制御部203から発生される昇圧制御信号S3のデューティ比が、最小の値である5:95に固定されているときは、最も小さな昇圧制御がなされている状態である。

[0022] 図4(a)、(b)及び(c)は図3のMIX制御期間( $t_1 \sim t_2$ 期間)における制御信号のタイムチャートである。

図4(a)は、降圧PWM制御部202から発生される降圧制御信号S2が、降圧PWM制御スイッチ204を通じて出力され、第1のFET111のゲートに印加される際の、時間軸上の電圧変化を示すタイムチャートである。

図4(b)は、(a)と同一の時間軸上における、状態S1の状態変化を示すタイムチャートである。

図4(c)は、(a)及び(b)と同一の時間軸上における、昇圧PWM制御部203から発生される昇圧制御信号S3が、昇圧PWM制御スイッチ205を通じて出力され、第2のFET110のゲートに印加される際の、時間軸上の電圧変化を示すタイムチャートである。

[0023] 図4(a)において、降圧制御信号S2は第1のFET111に印加される制御信号であ

り、Hでオンである。

図4(c)において、昇圧制御信号S3は第2のFET110に印加される制御信号であり、Hでオンである。

図4(b)において、状態S1がHのときは、降圧PWM制御スイッチ204がオンされていると共に、昇圧PWM制御スイッチ205がオフされている状態である。

逆に、状態S1がLのときは、昇圧PWM制御スイッチ205がオンされていると共に、降圧PWM制御スイッチ204がオフされている状態である。

なお、図4(a)、(b)及び(c)では、説明の便宜のために、タイムチャート内に数値でデューティ比を記入している。

降圧制御信号S2は、状態S1がHのときに95:5のデューティ比の制御信号である。この降圧制御信号S2は、状態S1がLのときにはオフ状態になり、100:0のデューティ比になる。このとき、第1のFET111は常時オン状態となる。

[0024] 昇圧制御信号S3は、状態S1がLのときに5:95のデューティ比の制御信号である。この昇圧制御信号S3は、状態S1がHのときにはオフ状態になり、0:100のデューティ比になる。このとき、第2のFET110は常時オフ状態となる。

図4から分かるように、状態S1は、電圧Vinが降下するにしたがって、徐々に降圧制御から昇圧制御へとスイッチングの割合を変える機能を有している。

[0025] 以上に説明したことをまとめる。

バッテリー105の電圧が徐々に下がるに連れて、出力したい電圧との電位差は小さくなっていく。つまり、降圧制御をしなければならない電位差が小さくなる。

しかし、一方でスイッチング素子によって制御することが可能なデューティ比は限界がある。

スイッチングパルスの時間幅が微小になると、回路素子や回路配線の浮遊容量によってパルスのエッジがなまり、潰れてしまう。すると、スイッチングが行われてなくなってしまい、オフ期間がなくなってしまう。スイッチング素子のオフ期間がなくなると、コイル及びコンデンサに過大な電流が流れ、最悪の場合は回路の破壊に繋がりがねない。このため、最小限のパルス幅を確保する必要がある。

このため、入力電圧と出力電圧の差が殆どなくなったときに降圧制御から昇圧制御

に切り替えると、PWMスイッチングのデューティ比の限界から、出力電圧が不連続になってしまうという問題が生じる。

そこで、降圧のみ、或は昇圧のみの制御では不可能な制御電圧範囲(以下、「制御不能電圧範囲」という)について、極僅かな降圧制御と極僅かな昇圧制御を交互に行うものである。これが、本実施形態のMIX制御である。

本実施の形態によれば、降圧制御で下がり過ぎる分を昇圧制御で補う、という動作を高速に行うことにより、極僅かな降圧・昇圧制御を滑らかに行うことができる。

[0026] ここで、「制御不能電圧範囲」は、前述の理由によって、PWM制御にて作成可能な最大デューティ比(一例として、図2においては、降圧の場合は「95:5」で、昇圧の場合は「5:95」となる)と、コンバータ回路部102を構成する回路素子の直流抵抗分、すなわちコンバータ回路部102の電力変換効率によって一意的に決まる。PWM制御の最小パルス幅は、パルスが消滅しないように、回路設計者等が決定する。

例えば、降圧PWM制御にて作成可能な最大デューティ比が95:5である場合、入力電圧と出力電圧との関係は、

[0027] [数1]

$$V_{in} \times 0.95 = V_{out} \dots (1)$$

となる。したがって、降圧制御が不能になる入力電圧は

[0028] [数2]

$$V_{in} = \frac{V_{out}}{0.95} \cong 1.0526V_{out} \dots (2)$$

となる。しかし、この演算結果はコンバータ回路部102を構成する回路素子の直流抵抗によってもたらされる電圧降下分を考慮していない。したがって、上記結果に第1のFET111、第2のFET110、コイルL113にコンデンサC115、第1のダイオードD112及び第2のダイオードD114等の合成抵抗による損失分を考慮しなければならない。

[0029] ここで、本実施形態のコンバータ回路部102を構成する、ステップダウンコンバータ

とステップアップコンバータの動作について説明する。

図5(a)及び(b)は、本実施形態のコンバータ回路部102を構成する、ステップダウンコンバータとステップアップコンバータの回路である。図5(a)はステップダウンコンバータの回路を示し、図5(b)はステップアップコンバータの回路を示している。

[0030] まず、図5(a)に基づいてステップダウンコンバータ回路の動作について説明する。

図5(a)において、スイッチSW1は、図2の第1のFET111に該当する。

ダイオードD1は、図2の第1のダイオードD112に該当する。

コイルLは図2のコイルL113に、コンデンサCはコンデンサC115に、それぞれ該当する。

図5(a)において、スイッチSW1がオンの時、電源 $V_{in}$ から送出される電力は、コイルLを通して、コンデンサCおよび負荷Rに供給される。すなわち、コイルLを通してコンデンサCと負荷Rの並列回路に電流 $I_{on}$ が流れる。このとき、コイルLおよびコンデンサCには電気エネルギーが蓄積される。

[0031] スイッチSW1がオフになると、コイルLはレンツの法則によって電流を流し続けようとして、蓄えた電気エネルギーを放出する。このため、コイルLに蓄えられた電気エネルギーは、負荷RとダイオードD1を通して流れる。すなわち、スイッチSW1がオフのときの電流路 $I_{off}$ を確保するために、ダイオードD1が必要である。この時、コンデンサCに蓄えられた電気エネルギーも負荷Rに供給される。

そして、再びスイッチSW1がオンになると、スイッチSW1を通じて電源 $V_{in}$ から送出される電力が各回路素子に加わり、電流 $I_{on}$ が流れる。この電力は負荷Rに供給されるが、一部はコイルLとコンデンサCにも蓄えられる。

以上のようなスイッチSW1のスイッチング動作によって、電源 $V_{in}$ の電圧は負荷Rに対して、以下のような式にて $V_{out}$ に変換される。

[0032] [数3]

$$V_{out} = \frac{T_{on}}{T_{on} + T_{off}} V_{in} = \frac{T_{on}}{T} V_{in} \quad \dots (3)$$

但し、

$T_{on}$ : スイッチSWのオン周期

$T_{off}$ : スイッチSWのオフ周期

$T = T_{on} + T_{off}$

すなわち、スイッチSW1のオン期間が短ければ短いほど、入力電圧は降圧される。

[0033] 次に、図5(b)に基づいてステップアップコンバータ回路の動作について説明する。

図5(b)において、スイッチSW2は、図2の第2のFET110に該当する。

ダイオードD1は、図2の第2のダイオードD114に該当する。

コイルLは図2のコイルL113に、コンデンサCはコンデンサC115に、それぞれ該当する。

図5(b)において、スイッチSW2がオンの時、電源 $V_{in}$ から送出される電力はコイルLに蓄えられる。すなわち、点線で示すようにコイルLに電流 $I_{on}$ が流れる。

[0034] 次に、スイッチSW2がオフになると、コイルLはレンツの法則によって電流を流し続けようとして、蓄えた電気エネルギーを放出する。このとき、コイルLに蓄えられた電気エネルギーと電源 $V_{in}$ から送出される電力は、ダイオードD2を通して負荷Rに供給される。すなわち、ダイオードD2を介して負荷RとコンデンサCの並列回路に電流 $I_{off}$ が流れる。この時、コンデンサCに電気エネルギーが蓄積される。

そして、再びスイッチSWがオンになると、電源 $V_{in}$ によりコイルLに電流 $I_{on}$ が流れ、コイルLに電気エネルギーが蓄積される。一方、負荷RにはコンデンサCに蓄えられた電気エネルギーにより電流 $I_{on}'$ が流れる。このとき、ダイオードD2が逆流電流を阻止するため、コンデンサCに蓄えられた電気エネルギーは、スイッチSW2には流れない。コンデンサCからの電流 $I_{on}'$ は負荷Rのみに流れることになる。

以上のようなスイッチSW2のスイッチング動作によって、電源 $V_{in}$ の電圧は負荷Rに対して、以下のような式にて $V_{out}$ に変換される。

[0035] [数4]

$$V_{out} = \frac{T_{on} + T_{off}}{T_{off}} V_{in} = \frac{T}{T_{off}} V_{in} \dots (4)$$

但し、

$T_{on}$ : スイッチSWのオン周期

$T_{off}$ : スイッチSWのオフ周期

$T = T_{on} + T_{off}$

すなわち、スイッチSW2のオン期間が長ければ長いほど、入力電圧は昇圧される。

[0036] 図6は、本発明の一実施の形態によるDC-DCコンバータの回路図を示す。図2の昇降圧制御部104をより具体的な回路にした一例である。なお、コンバータ回路部102、エラー信号生成部103及びバッテリー105の内部は、図2と全く同じである。

[0037] エラー信号生成部103において、コンデンサC115を通じて得られる出力電圧は、抵抗R121とR122によって分圧され、抵抗R125を介してオペアンプ106の反転入力端子に印加される。

オペアンプ106はフィードバック制御のための誤差信号を形成する反転増幅器である。非反転入力端子に抵抗R123とR124で分圧された基準電圧が印加され、この基準電圧との差動増幅にて所望の誤差信号を出力する。

[0038] 一方、昇降圧制御部104において、鋸歯状波発振回路615は鋸歯状波信号を出力する。鋸歯状波信号はおよそ200kHz程度、或はそれ以上の周波数の信号であり、PWM制御の基となる信号である。

鋸歯状波発振回路615から出力される鋸歯状波信号は、コンデンサC627を介して分圧抵抗R628とR629で直流オフセット電圧を与えられた後、コンパレータ630の反転入力端子に入力される。

コンパレータ630の非反転入力端子にはオペアンプ106から出力される誤差信号が印加される。

コンパレータ630は、誤差信号と鋸歯状波信号を電圧比較して、誤差信号が鋸歯状波信号よりも電圧が高いときにHを出力し、逆に誤差信号が鋸歯状波信号よりも電圧が低いときにLを出力する。これが降圧PWM制御信号の基になる。



[0039] 一方、鋸歯状波信号はオペアンプ631の反転入力端子に印加され、反転増幅される。反転増幅された鋸歯状波信号は、モノマルチ634に入力される。モノマルチ634は入力信号のアップエッジを受けて、鋸歯状波信号の1周期のおよそ5%程度の幅のワンショットパルス信号を出力する。このワンショットパルス信号はMIX制御期間内に行われるPWM制御信号の、最低限のデューティ比を確保するための信号である。このワンショットパルスの詳細は後述する。

モノマルチ634から出力されるワンショットパルス信号は、NOTゲート635を介してANDゲート636に入力される。ANDゲート636のもう片方の入力端子にはコンパレータ630の出力信号が印加される。

[0040] また、NOTゲート635にて反転されるワンショットパルス信号は、D型フリップフロップ(以下「D-FF」と略)637のC<sub>p</sub>端子に入力される。D-FF637は、アップダウン制御部(以下「U/D制御部」と略)638から発される、昇圧・降圧切り替え制御信号の基になる信号を、NOTゲート635で反転したワンショットパルス信号のアップエッジに同期させ、昇圧・降圧切り替え制御信号とする。つまり、C<sub>p</sub>端子にアップエッジが印加された瞬間のD端子の論理値がQ端子に出力されるので、昇圧・降圧切り替え制御信号がPWM制御信号と同期する。このMIX制御における同期処理の詳細は後述する。

[0041] ここでU/D制御部638の動作説明をする。

バッテリー105の電圧はA/Dコンバータ639を介してU/D制御部638に入力される。つまり、バッテリー105の電圧を測定し、測定した電圧データを入力していることとなる。

U/D制御部638はマイコンよりなり、予めコンバータ回路部102の出力電圧、すなわち目標電圧が記憶されている。

U/D制御部638は、目標電圧に対して測定したバッテリー105の電圧がどの範囲にあるかを検出して、その電圧範囲に応じた制御信号を発する。

[0042] D-FF637のQ端子から得られる昇圧・降圧切り替え制御信号は、ORゲート646に入力される。

ORゲート646にはANDゲート636の出力信号も印加される。

D-FF637のQ端子から出力される昇圧・降圧切り替え制御信号がHの場合は、ANDゲート636の出力信号の論理にかかわらず、第1のFET111がオンとなる。

すなわち、昇圧・降圧切り替え制御信号がHのときは、ANDゲート636から出力される降圧PWM制御信号の状態にかかわらず第1のFET111はオン状態であるので、降圧スイッチング制御は行われぬ。

D-FF637のQ端子から出力される昇圧・降圧切り替え制御信号がLの場合は、ANDゲート636の出力信号の論理がそのまま第1のFET111のオンオフ動作となる。

すなわち、昇圧・降圧切り替え制御信号がLのときは、ANDゲート636から出力される降圧PWM制御信号が第1のFET111に印加され、降圧スイッチング制御が行われる。

[0043] 一方、鋸歯状波発振回路615から出力される鋸歯状波信号は、コンデンサC640を介して分圧抵抗R641とR642で直流オフセット電圧を与えられた後、コンパレータ643の反転入力端子に入力される。

コンパレータ643の非反転入力端子にはオペアンプ106から出力される誤差信号が印加される。

コンパレータ643は、誤差信号と鋸歯状波信号を電圧比較して、誤差信号が鋸歯状波信号よりも電圧が高いときにHを出力し、逆に誤差信号が鋸歯状波信号よりも電圧が低いときにLを出力する。これが昇圧PWM制御信号の基になる。

[0044] モノマルチ634から出力されるワンショットパルス信号は、ORゲート644に入力される。ORゲート644のもう片方の入力端子にはコンパレータ643の出力信号が印加される。

[0045] D-FF637のQ端子から得られる昇圧・降圧切り替え制御信号は、ANDゲート645に入力される。

ANDゲート645にはORゲート644の出力信号も印加される。

D-FF637のQ端子から出力される昇圧・降圧切り替え制御信号がLの場合は、ORゲート644の出力信号の論理にかかわらず、第2のFET110がオフとなる。

すなわち、昇圧・降圧切り替え制御信号がLのときは、ORゲート644から出力される昇圧PWM制御信号の状態にかかわらず第2のFET110はオフ状態であるので、

昇圧スイッチング制御は行われたい。

D-FF637のQ端子から出力される昇圧・降圧切り替え制御信号がHの場合は、ORゲート644の出力信号の論理がそのまま第2のFET110のオンオフ動作となる。

すなわち、昇圧・降圧切り替え制御信号がHのときは、ORゲート644から出力される昇圧PWM制御信号が第2のFET110に印加され、昇圧スイッチング制御が行われる。

[0046] 以上の説明より、降圧PWM制御部は、鋸歯状波発振回路615とコンパレータ630が相当する。

昇圧PWM制御部は、鋸歯状波発振回路615とコンパレータ643が相当する。

降圧PWM制御スイッチは、ORゲート646が相当する。

昇圧PWM制御スイッチは、ANDゲート645が相当する。

MIX制御部は、U/D制御部638とD-FF637が相当する。

[0047] 図7(a)及び(b)は、図6のDC-DCコンバータ601の制御動作を説明する電圧イメージ図である。縦軸は電圧、横軸は時間をとっている。但し、この時間軸はあくまでも説明の都合上、便宜的に示したもので、実際の回路の動作の時間スケールを示していないことに注意されたい。

図7(a)はバッテリー105の端子間電圧 $V_{in}$ の時間軸上の遷移を示すグラフである。

図7(b)はオペアンプ106の出力電圧の時間軸上の遷移を示すグラフである。

図7(a)において、バッテリー105の端子間電圧 $V_{in}$ が降下すると、オペアンプ106の出力信号は上昇する。

電圧 $V_{in}$ が降圧制御限界電圧 $V_{t1}$ にさしかかると、MIX制御を開始する必要がある。

このとき、降圧PWM制御信号は最小限の降圧制御をすべく、95:5のパルスにならなければならない。

すなわち、オペアンプ106の出力信号は、後続のコンパレータ630において、鋸歯状波信号と電圧比較された結果、95:5のパルスを形成しなければならない。これを表すのが図7(b)である。この図では時間軸を無視した形で鋸歯状波信号の一周期分の信号波形をオペアンプ106の出力信号と重ね合わせている。鋸歯状波信号とオ

ペアンプ106の出力信号とが図7(b)に示すコンパレータ630の反転入力端子の鋸歯状波イメージのような関係とするために、分圧抵抗R628とR629(図6参照)によって鋸歯状波信号にオフセット電圧が与えられる。

同様に、オペアンプ106の出力信号は、後続のコンパレータ643において、鋸歯状波信号と電圧比較された結果、5:95のパルスを形成しなければならない。鋸歯状波信号とオペアンプ106の出力信号とが図7(b)に示すコンパレータ643の反転入力端子の鋸歯状波イメージのような関係とするために、分圧抵抗R641とR642(図7参照)によって鋸歯状波信号にオフセット電圧が与えられる。

[0048] 図7(b)のMIX制御範囲内において、コンパレータ630とコンパレータ643からPWM制御信号が出力されない可能性があることがわかる。つまり、鋸歯状波信号の電圧範囲を誤差信号が超えてしまうのである。

MIX制御範囲内では最小限の降圧制御と昇圧制御が行われていなければならない。

そこで、最小限のPWM制御信号を作成するために、モノマルチ634で補助的なパルスを作成し、コンパレータ630の出力及びコンパレータ643の出力と重ねることにより、MIX制御期間内にPWM制御信号が生じなくなる虞を排除しているのである。

[0049] 図8(a)、(b)、(c)、(d)及び(e)は、鋸歯状波信号及び誤差信号の電圧と、コンパレータ630及び643から出力されるPWM制御信号の関係を示すグラフである。なお、説明の都合上、このグラフでは鋸歯状波信号に印加されるオフセット電圧については考慮から外し、鋸歯状波信号と誤差信号とを、あくまでも相対的な電位差として考察していることに注意されたい。

[0050] 図8(a)は、鋸歯状波信号と誤差信号の電圧を示すグラフである。鋸歯状波信号は、鋸歯状波発振回路615が出力する鋸歯状波である。縦軸のVs1、Vs2、Vs3及びVs4は、コンパレータ630及び643にて比較される、誤差信号の電圧である。

図8(b)は、(a)において、誤差信号の電圧がVs1である場合の、PWM制御信号の波形を表すグラフである。すなわち、誤差信号の電圧がVs1である場合の、コンパレータ630或は643の出力である。誤差信号の電圧が鋸歯状波の電圧よりも高い範囲においてのみ、コンパレータは高電位(H)を出力する。それ以外の範囲では、コン

パレータは低電位(L)を出力する。

図8(c)は、(a)において、誤差信号の電圧が $V_{s2}$ である場合の、PWM制御信号の波形を表すグラフである。すなわち、誤差信号の電圧が $V_{s2}$ である場合の、コンパレータ630或は643の出力である。オペアンプ106の電圧が $V_{s1}$ のときよりも、コンパレータの高電位出力期間が長くなっている。

図8(d)は、(a)において、誤差信号の電圧が $V_{s3}$ である場合の、PWM制御信号の波形を表すグラフである。すなわち、誤差信号の電圧が $V_{s3}$ である場合の、コンパレータ630或は643の出力である。誤差信号の電圧が $V_{s3}$ になると、鋸歯状波のピーク電圧とほぼ同電位となる。このため、コンパレータの高電位出力期間は1周期中の全期間に渡る。

図8(e)は、(a)において、誤差信号の電圧が $V_{s4}$ である場合の、PWM制御信号の波形を表すグラフである。すなわち、誤差信号の電圧が $V_{s4}$ である場合の、コンパレータ630或は643の出力である。誤差信号の電圧が $V_{s4}$ になると、鋸歯状波のボトム電圧よりも低い。このため、コンパレータの高電位出力期間は全くなくなる。

[0051] 図8(a)、(b)及び(c)より、誤差信号の電圧が $V_{s1}$ の場合よりも、 $V_{s2}$ の場合の方が、PWM制御信号のオン状態のデューティ比は大きくなっていることが判る。

図8(a)及び(d)より、誤差信号の電圧が $V_{s3}$ の場合になると、鋸歯状波信号のピーク電圧とほぼ同一となってしまう、出力される信号はPWM制御信号とは呼べない、単なる直流電圧となってしまうことが判る。

図8(a)及び(e)より、誤差信号の電圧が $V_{s4}$ の場合になると、鋸歯状波信号のボトム電圧を下回ってしまう、出力される信号はPWM制御信号とは呼べない、単なる無信号状態となってしまうことが判る。

前述の図7(b)の説明における「鋸歯状波信号の電圧範囲を誤差信号が超えてしまう」という現象によって、コンパレータ630は図8(d)のような制御信号を出力してしまうことになる。

同様に、前述の図7(b)の説明における「鋸歯状波信号の電圧範囲を誤差信号が超えてしまう」という現象によって、コンパレータ643は図8(e)のような制御信号を出力してしまうことになる。

[0052] 図9(a)、(b)、(c)、(d)、(e)、(f)、(g)及び(h)は、MIX制御期間内における、図6の回路の各部の波形を概略的に示すタイムチャートである。

図9(a)は、鋸歯状波発振回路615から発生される鋸歯状波信号である。図9(a)において、一点鎖線で示す $V_{s5}$ はコンパレータ630の非反転入力端子に印加される誤差信号を模式的に示す。二点鎖線で示す $V_{s6}$ はコンパレータ643の非反転入力端子に印加される誤差信号を模式的に示す。本来、これら誤差信号は図9の回路図上では共通の信号であるのだが、コンパレータ630とコンパレータ643とでは、鋸歯状波信号に異なる直流オフセット電圧を与えている。そこで、この鋸歯状波信号を共通の基準にして、逆にオペアンプ106の出力信号に異なる直流オフセット電圧が加わっているものと想定した状態のタイムチャートが、図9(a)である。

[0053] 図9(b)は、MIX制御期間内における、コンパレータ643から発生される出力信号である。この信号は、誤差信号と鋸歯状波発振回路615から発される鋸歯状波信号とを電圧比較して、PWM信号として出力したものである。図9(a)において、鋸歯状波の波形と二点鎖線との交点が、この出力信号のダウンエッジとなる。

図9(c)は、MIX制御期間内における、コンパレータ630から発生される出力信号である。この信号は、誤差信号と鋸歯状波発振回路615から発される鋸歯状波信号とを電圧比較して、PWM信号として出力したものである。図9(a)において、鋸歯状波の波形と一点鎖線との交点が、この出力信号のダウンエッジとなる。(b)と(c)を比較するとわかるように、コンパレータ630では、コンパレータ643と比較すると、鋸歯状波信号に加えられている直流オフセット電圧を異ならせているために、コンパレータ643の出力信号(b)とは異なるデューティ比の信号が出力されるようになっている。

[0054] 図9(d)は、オペアンプ631によって反転増幅された鋸歯状波信号である。

図9(e)は、モノマルチ634の出力信号である。オペアンプ631によって反転増幅された鋸歯状波信号(d)のアップエッジに応答して、約5%のデューティ比のワンショットパルスを出力している。

図9(f)は、モノマルチ634の出力信号(e)をNOTゲート635で反転した信号である。

図9(g)は、ANDゲート645の出力信号である。すなわち、コンパレータ630から発

される出力信号(c)と、モノマルチ634の出力信号をNOTゲート635で反転した信号(f)との論理積が出力されたものである。

図9(h)は、ORゲート646の出力信号である。すなわち、コンパレータ643から発される出力信号(b)と、モノマルチ634の出力信号(e)との論理和が出力されたものである。

[0055] 図7(b)において、MIX制御期間中にコンパレータ630がPWMパルスを生じ得ない電圧範囲(図7(b)中の「パルス生成不可」)を生じる可能性がある、ということを既に説明した。このことは、降圧制御において図9(c)のパルス幅が100%になってしまうことを意味する。

具体的には、図9(a)中の誤差信号電圧 $V_{s5}$ が、矢印902の方向に移動する、つまり上昇して、鋸歯状波のピーク電圧以上になってしまう状態である。

すると、点線904に示すように、図9(c)のパルス幅が100%になってしまう。

こうなると最小限の降圧制御ができなくなる。

そこで、最小限の降圧制御PWM信号を生成するために、モノマルチ634から最小限の幅のワンショットパルスを生じ(e)、これをNOTゲート635で反転し(f)、元のPWM信号(c)との論理積を取って(g)、元のPWM信号がなくなっても(点線904)、最小限のPWM信号が得られるように工夫している(点線906)。

ここで、デューティ比95%のPWM信号を作成するために、モノマルチ634のワンショットパルス(e)という極小幅のパルスをNOTゲート635にて反転している(f)。このため、得られるPWM信号の立ち上がりのタイミングはワンショットパルス(e)の時間間隔だけずれる。すなわち、昇圧・降圧切り替え制御信号はこのずれに同期させる必要が生じる。そこで、NOTゲート635の出力(f)をD-FF637の $C_p$ 端子に入力させている。

[0056] 同様に、昇圧制御の方も、MIX制御期間中にコンパレータ643がPWMパルスを生じ得ない電圧範囲(図7(b)中の「パルス生成不可」)を生じる可能性がある。このことは、昇圧制御において図9(b)のパルス幅が0%になってしまうことを意味する。

具体的には、図9(a)中の誤差信号電圧 $V_{s6}$ が、矢印903の方向に移動する、つまり下降して、鋸歯状波のボトム電圧以下になってしまう状態である。すると、点線905

に示すように、図9 (b) のパルス幅が0%になってしまう。

こうなると最小限の昇圧制御ができなくなる。

そこで、最小限の昇圧制御PWM信号を生成するために、モノマルチ634から最小限の幅のパルスを生成し(e)、元のPWM信号(b)との論理和を取って(h)、元のPWM信号がなくなってしまうても最小限のPWM信号が得られるように工夫している。

極小幅のパルス同士の論理和がとられているために、降圧PWM信号の場合とは異なり、得られるPWM信号の立ち上がりのタイミングはずれない。したがって、NOTゲート635の出力(f)をD-FF637のCp端子に入力させてタイミングをずらしても影響はない。

[0057] 本実施形態におけるMIX制御を実施することにより、従来のPWM制御によるDC-DCコンバータでは実現し得なかった、入力電圧と出力電圧の電位差がPWM制御のデューティ比によって作成される電位差よりも僅少である場合においても、電源変換効率の良い電圧変換を実現することができる。

なお、本実施形態よりなる回路を計算機シミュレーションにて解析すると、MIX制御の割合の切り替えの際に発生する電圧のオーバシュートを、従来の制御方式と比べてより小さくすることができることがわかる。したがって、本実施形態によれば、電圧制御切り替えの際に発生するオーバシュートパルスは、負荷の回路に与える影響が小さい、という効果もある。

[0058] 図10は入力電圧を3.7Vの固定にしたときの、従来技術、すなわちMIX制御を用いない降圧・昇圧制御と、本実施形態によるMIX制御を行った際の、出力電圧の変化を計算機シミュレーションにて解析した結果のグラフである。

従来技術による出力電圧Vs2は、デューティ95%の降圧制御からデューティ5%の昇圧制御に移行する際、約100mV程度のオーバシュートパルスが発生する。

本実施形態による出力電圧Vs1では、MIX制御において降圧・昇圧の混合比率を徐々に変化させると、最大でも18mV程度のオーバシュートパルスしか発生し得ない。したがって、オーバシュートパルスによる負荷への悪影響は従来技術と比べて僅少である。

[0059] 以上に説明した実施形態には、以下のような応用例が考えられる。



## [応用例1]

図6では、最小限のパルス幅のPWM信号を得るためにモノマルチ634を使用した。しかし、コンパレータの入力電圧のダイナミックレンジやバイアス等の回路設計を適切に行うことによって、図7(b)にあるようなパルス生成不可となる電圧範囲を生じさせないようにすることができる。この場合、モノマルチ634、NOTゲート635、ANDゲート636、ORゲート644は不要となり、オペアンプ631の出力を直接D-FF637のCp端子に接続して、コンパレータ630の出力を直接ORゲート646に接続して、コンパレータ643の出力を直接ANDゲート645に接続する。

## [0060] [応用例2]

図6では、最小限のパルス幅のPWM信号を得るためにモノマルチ634を使用した。この代わりに、MIX制御が始まった時点のオペアンプ106の出力電圧を、U/D制御部638からの制御信号にてサンプル・ホールド回路でホールドし、MIX制御期間中は常にコンパレータ630から95%のデューティ比のパルスが得られるように構成することもできる。

図11はこの応用例による回路図であり、図6の一部を変更したものである。

サンプル・ホールド回路1130は、U/D制御部638から出力されるMIX制御期間を示す信号によってオペアンプ106の電圧をホールドする。これがデューティ比95%のパルスを生成するための基準電圧となり、この結果デューティ比95%のパルスがコンパレータ630から出力される。

この場合、図6におけるANDゲート636は不要になり、コンパレータ630の出力をNOTゲート1135で反転させた出力をORゲート644に与えると共に、これをD-FF637のCp端子に入力してタイミングを整合する。

## [0061] [応用例3]

図6において、ANDゲート636及びORゲート644を用いる代わりに、U/D制御部638からの制御信号にてモノマルチ634の出力信号と第1及びコンパレータ643の出力信号とを切り替えスイッチにて選択的に出力するように構成することもできる。

図12はこの応用例による回路図であり、図6の一部を変更したものである。

第1のスイッチ1211は、U/D制御部638から出力されるMIX制御期間を示す信

号によってコンパレータ630の出力信号からモノマルチ634をNOTゲート635で反転した出力信号へ切り替えて出力する。

同様に、第2のスイッチ1212は、U/D制御部638から出力されるMIX制御期間を示す信号によってコンパレータ643の出力信号からモノマルチ634の出力信号へ切り替えて出力する。

この場合、D-FF637のCp端子にはモノマルチ634の出力パルスをそのまま入力して、タイミングを整合する。

[0062] [応用例4]

図6において、昇降圧制御部104のアナログ回路部分をデジタル化することが可能である。

図13は、図6の昇降圧制御部104のうち、鋸歯状波発振回路615、コンパレータ630及び643、オペアンプ631及びモノマルチ634をデジタル回路に置き換えたものである。

オペアンプ106から出力される誤差信号は、A/Dコンバータ1302にてデジタル変換される。

一方、クロック生成器1303はデジタル回路全体に動作クロックを提供する。

クロック生成器1303の動作クロックは、バイナリカウンタ1304及び1305にそれぞれ入力される。

バイナリカウンタ1304及び1305は、周知のループカウンタである。

バイナリカウンタ1304の計数出力値は、加減算器1314に与えられる。

一方、加減算器1314には第1オフセット値1306も与えられており、加減算器1314は両者の数値を加算した値を出力する。

同様に、バイナリカウンタ1305の計数出力値は、加減算器1315に与えられており、加減算器1315は、第2オフセット値1307の値とバイナリカウンタ1305の、両者の数値を加算した値を出力する。

すなわち、バイナリカウンタ1304及び1305は、鋸歯状波を生成する機能(鋸歯状波発振回路615)を担う。そして、第1オフセット値1306は、抵抗R628及びR629によるオフセット電圧に相当し、第2オフセット値1307は、抵抗R641及びR642による

オフセット電圧に相当する。

一方、リセット信号発生器1316は、クロックを計数し、計数した値が所定の値に至るとリセットパルスを出力する、ループカウンタよりなる。このリセットパルスは、バイナリカウンタ1304及び1305のリセット信号の役目を担っており、転じて鋸歯状波の周期を決定する機能を有する。リセット信号発生器1316、すなわちループカウンタの計数値が大きければ大きいほど、鋸歯状波の周期が長くなる。

[0063] 一致検出器1308及び1309は、バイナリカウンタ1304及び1305の値と、A/Dコンバータ1302の値が一致したときに、Hを出力する。この機能を実現するために、二つの並列入力の各ビット毎に、排他的論理和ゲートを設け、その全ての出力をORゲートに入力させ、最後に論理を反転する。

[0064] リセット信号発生器1316のリセットパルスは、RSフリップフロップ(以下「RS-FF」)1310のS端子及びRS-FF1311のS端子に入力される。

ここで、バイナリカウンタ1304及び1305のカウント値は、A/Dコンバータ1302の出力ビット範囲よりも広く設定されている。これら2つのバイナリカウンタの動作がアップカウンタの場合、これらのカウント値の上限は同一であり、A/Dコンバータ1302の出力ビットの最大値よりわずかに大きく設定してある。

[0065] リセット信号発生器1316がリセットパルスを発する(H)とき、一致検出器1308の出力はLであるので、この時点でRS-FF1310のQ端子はH(セット状態)になる。

リセット信号発生器1316が次にクロックを一つ計数すると、リセットパルスは発されず、RS-FF1310のS端子はLになる。一致検出器1308の出力はLのままなので、RS-FF1310のQ端子はHのまま保持される。

バイナリカウンタ1304の計数が進行しているが、一致検出器1308が二つの入力情報の一致を検出していない状態では、一致検出器1308はLのままである。

一致検出器1308が二つの入力情報の一致を検出すると、RS-FF1310のR端子にHを出力する。RS-FF1310のQ端子は、この時点でLになる。

次にクロックが入る瞬間、一致検出器1308は再びLを出力する。よって、RS-FF1310のQ端子はLのまま保持される。

RS-FF1311の動作も、上述のRS-FF1310の動作と全く同じなので、説明は

割愛する。

以上より、RS-FF1310及び1311は、コンパレータ630及び643による、PWM制御信号出力機能をほぼそのまま置換する。

[0066] バイナリカウンタ1312は、プリセット値1313によって、所定の幅のパルスを出力する。これは、モノマルチ634の機能に等しい。

[0067] [応用例5]

図6において、昇降圧制御部104のアナログ回路部分をデジタル化することが可能である。

図14は、図6の昇降圧制御部104のうち、PWM変調回路を構成する鋸歯状波発振回路615、コンパレータ630及び643をデルタシグマ変調回路(以下「 $\Delta\Sigma$ 変調回路」)に置き換えたものである。

オペアンプ106から出力される誤差信号は、昇圧デルタシグマ制御部ともいえる第1の $\Delta\Sigma$ 変調回路1421と、降圧デルタシグマ制御部ともいえる第2の $\Delta\Sigma$ 変調回路1422にそれぞれ入力される。

第1の $\Delta\Sigma$ 変調回路1421の制御信号出力は、昇圧デルタシグマ制御スイッチともいえるANDゲート645に入力される。

第2の $\Delta\Sigma$ 変調回路1422の制御信号出力は、降圧デルタシグマ制御スイッチともいえるORゲート646に入力される。

D-FF637とU/D制御部638は、MIX制御部を構成し、ANDゲート645とORゲート646を排他的に制御する。

[0068] 以下、第1の $\Delta\Sigma$ 変調回路1421のみ説明し、全く同じ回路構成である第2の $\Delta\Sigma$ 変調回路1422については説明を省略する。

オペアンプ1402は、コンデンサC1403と抵抗R1404によって積分器を構成する。

後続のD型フリップフロップ(以下「D-FF」)1405の $\bar{Q}$ ( $Q$ バー、 $Q$ の否定)端子とオペアンプ1402の反転入力端子との間に接続される抵抗R1406は、差動増幅器の出力とオペアンプ1402の反転入力端子との間に接続される抵抗R1404と共に、加算器を構成する。

オペアンプ1402の出力信号は、コンパレータ1407の反転入力端子に供給される

。コンパレータ1407は接地電位と入力信号の電圧とを比較して、1か0かを出力する。

コンパレータ1407の出力はD-FF1405のD端子に供給される。D-FF1405はCp端子に供給されるクロックのアップエッジの時点におけるD端子の論理をQ端子に出力すると共に、その反転論理を一Q端子に出力する。なお、クロックはクロック生成器1409によって生成される。

[0069] 第1の $\Delta\Sigma$ 変調回路1421と第2の $\Delta\Sigma$ 変調回路1422は、その動作がNOTゲート1410を通じて、クロックの表の周期と裏の周期とで交互に動作する。そして、それぞれが独立して誤差信号を収束させる方向に動作する。

PWM変調回路とは異なり、 $\Delta\Sigma$ 変調回路はその特性上、最小限幅のパルスが必ず保障されるので、モノマルチ634に相当する回路を設ける必要がない。

[0070] [応用例6]

また、図9の回路構成に代えて、DSP(Digital Signal Processor: 音声や画像などの処理に特化した演算処理集積回路装置)によるデジタル制御にて構成することも可能である。PWM信号は矩形波発振回路ではなく、クロックをカウンタにて計数してカウンタの出力をPWM信号とする。制御電圧はA/D変換し、得られた電圧データを基にPWMのデューティ比を演算処理して作成する。

[0071] [応用例7]

これまで説明した内容では、MIX制御の降圧・昇圧制御の周期の割合を、n:1から1:1に遷移したら、次は1:n(nは自然数)という変化をさせていた。これを、n:m(mもnと同じく1以上の自然数)という割合を用いて、目標電圧に近似させる処理を行ってもよい。例えば、

10:4→9:4→10:5→9:5→10:6→8:5→9:6→10:7→9:7→10:8→8:7→9:8→10:9→1:1

という周期の割合にて制御することにより、より精緻な制御を可能とする。

なお、このような降圧・昇圧制御の割合を設定する際には、10:4であれば10周期の降圧制御の後に4周期の昇圧制御をするのではなく、

降圧2→昇圧1→降圧2→昇圧1→降圧2→昇圧1→降圧2→昇圧1→降圧2

と、できるだけ出力電圧が平準化されるべく制御の周期の割合を設定することが望ましい。

[0072] [第2の実施形態]

図15は、第2の実施の形態の例である、DC-DCコンバータのブロック図を示す。このブロック図は、回路素子と機能を示すブロックとが混在する回路図のような形態である。

DC-DCコンバータ1501はコンバータ回路部102とエラー信号生成部103と昇降圧制御部104に分けられる。本発明は主に昇降圧制御部104に係るものである。

コンバータ回路部102は、バッテリー105の電圧(入力電圧)を一定の電圧(出力電圧)に変換する。

バッテリー105は周知の電池である。一次電池でも二次電池でもよい。バッテリー105は電圧源119と内部抵抗118として等価的に記述される。つまり、電池の消耗に伴って、内部抵抗118が増える。

エラー信号生成部103は、主に抵抗R125とR126、コンデンサC127、そしてオペアンプ106よりなる差動増幅器よりなる。コンバータ回路部102から出力される出力電圧を抵抗R121及びR122で分圧し、抵抗R123及びR124から得られる基準電圧と比較して、その差の信号を出力するものである。

昇降圧制御部104は、第1のデルタシグマ変調器(以下「第1 $\Delta\Sigma$ 変調器」)1507と、第2のデルタシグマ変調器(以下「第2 $\Delta\Sigma$ 変調器」)1508と、クロック源1509よりなる。

第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508は、中身は同じ $\Delta\Sigma$ 変調器である。

第1 $\Delta\Sigma$ 変調器1507は、昇圧制御スイッチを構成する第2のFET110のゲートに接続され、第2のFET110のオン/オフ制御を行う。

第2 $\Delta\Sigma$ 変調器1508は、降圧制御スイッチを構成する第1のFET111のゲートに接続され、第1のFET111のオン/オフ制御を行う。

[0073] コンバータ回路部102は、降圧制御スイッチを構成する第1のFET111、第1のダイオードD112、コイルL113、昇圧制御スイッチを構成する第2のFET110、第2のダイオードD114そしてコンデンサC115よりなる。

第1のFET111は、コンバータ回路部102において、バッテリー105からの電力供給を制御して、主に電圧を下げる制御を行うためのスイッチである。

第1のダイオードD112は降圧制御スイッチがオフの期間において、後続のコイルL113を含む電流路を形成するためのものである。

コイルL113は周知のインダクタンス素子である。後続のコンデンサC115と共にLCフィルタを構成し、矩形波状の電流を平滑化する。また、前述の降圧制御スイッチと第1のダイオードD112と後続のコンデンサC115よりなるステップダウンコンバータの蓄電作用をもたらす素子として、更には後続の昇圧制御スイッチと第2のダイオードD114とコンデンサC115よりなるステップアップコンバータの蓄電作用をもたらす素子として、機能する。

第2のFET110はコンバータ回路部102において電圧を上げる制御を行うためのスイッチである。

第2のダイオードD114は昇圧制御スイッチがオンの期間において、後続のコンデンサC115から生じる電流を昇圧制御スイッチに通さないためのものである。

コンデンサC115は前述の通り、コイルL113と共にLCフィルタを構成すると共に、蓄電作用をもたらす素子として機能する。

コンバータ回路部102の出力は、負荷116に供給される。

[0074] コンデンサC115を通じて得られる出力電圧は、抵抗R121とR122によって分圧され、抵抗R125を介してオペアンプ106の反転入力端子に印加される。

オペアンプ106はフィードバック制御のための制御信号を形成する反転増幅器を構成する。非反転入力端子に抵抗R123とR124で分圧された基準電圧が印加され、この基準電圧との差動増幅にて所望の制御信号を出力する。

[0075] 差動増幅器の出力信号、つまりエラー信号は、第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508にそれぞれ印加される。

第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508は、エラー信号を受けて、それぞれ第2のFET110と第1のFET111をオン／オフ制御する。

クロック源1509は第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508のそれぞれに入力される。但し、第2 $\Delta\Sigma$ 変調器1508とクロック源1509の間にはNOTゲート1510が

挿入されている。これは、DC-DCコンバータ1501全体の電圧制御の分解能を向上させる目的で設けられている。NOTゲート1510が介在することにより、第1 $\Delta\Sigma$ 変調器1507がクロックのアップエッジで動作するのに対し、第2 $\Delta\Sigma$ 変調器1508はクロックのダウンエッジで動作する。

[0076] 図16は、図15のブロック図をより具体的に示したDC-DCコンバータの回路図である。

第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508以外は図15と同じなので、第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508以外の説明は割愛する。また、第1 $\Delta\Sigma$ 変調器1507と第2 $\Delta\Sigma$ 変調器1508は回路構成も、制御するFETの動作特性に合わせて回路素子は少し違っているが、基本的な回路動作は同じなので、以下は第1 $\Delta\Sigma$ 変調器1507の説明のみ記す。

オペアンプ1602は、コンデンサC1603と抵抗R1604によって積分器を構成する。後続のD-FF1605の $\bar{Q}$ (Qバー、Qの否定)端子とオペアンプ1602の反転入力端子との間に接続される抵抗R1606は、差動増幅器の出力とオペアンプ1602の反転入力端子との間に接続される抵抗R1604と共に、加算器を構成する。

積分器を構成するオペアンプ1602の出力信号はコンパレータ1607の反転入力端子に供給される。コンパレータ1607は接地電位と入力信号の電圧とを比較して、1か0かを出力する。

コンパレータ1607の出力はD-FF1605のD端子に供給される。D-FF1605はCp端子に供給されるクロックのアップエッジの時点におけるD端子の論理をQ端子に出力すると共に、その反転論理を $\bar{Q}$ 端子に出力する。

[0077] ここで、本実施形態のコンバータ回路部102を構成する、ステップダウンコンバータとステップアップコンバータの動作について説明する。

図5(a)及び(b)は、本実施形態のコンバータ回路部102を構成する、ステップダウンコンバータとステップアップコンバータの回路である。

図5(a)はステップダウンコンバータの回路を示し、図5(b)はステップアップコンバータの回路を示している。

[0078] まず、図5(a)に基づいてステップダウンコンバータ回路の動作について説明する。



図5(a)において、スイッチSW1がオンの時、電源Vinから送出される電力は、コイルLを通して、コンデンサCおよび負荷Rに供給される。すなわち、コイルLを通してコンデンサCと負荷Rの並列回路に電流Ionが流れる。このとき、コイルLおよびコンデンサCには電気エネルギーが蓄積される。

スイッチSW1がオフになると、コイルLはレンツの法則によって電流を流し続けようとして、蓄えた電気エネルギーを放出する。このため、コイルLに蓄えられた電気エネルギーは、負荷RとダイオードD1を通して流れる。すなわち、スイッチSW1がオフのときの電流路Ioffを確保するために、ダイオードD1が必要である。この時、コンデンサCに蓄えられた電気エネルギーも負荷Rに供給される。

そして、再びスイッチSW1がオンになると、スイッチSW1を通じて電源Vinから送出される電力が各回路素子に加わり、電流Ionが流れる。この電力は負荷Rに供給されるが、一部はコイルLとコンデンサCにも蓄えられる。

以上のようなスイッチSW1のスイッチング動作によって、電源Vinの電圧は負荷Rに対して、以下のような式にてVoutに変換される。

[0079] [数5]

$$V_{out} = \frac{I_{on}}{I_{on} + I_{off}} V_{in} = \frac{I_{on}}{I} V_{in}$$

但し、

I<sub>on</sub>: スイッチSWのオン周期

I<sub>off</sub>: スイッチSWのオフ周期

I=I<sub>on</sub>+I<sub>off</sub>

すなわち、スイッチSW1のオン期間が短ければ短いほど、入力電圧は降圧される。

[0080] 次に、図5(b)に基づいてステップアップコンバータ回路の動作について説明する。

図5(b)において、スイッチSW2がオンの時、電源Vinから送出される電力はコイルLに蓄えられる。すなわち、点線で示すようにコイルLに電流Ionが流れる。

次に、スイッチSW2がオフになると、コイルLはレンツの法則によって電流を流し続

けようとして、蓄えた電気エネルギーを放出する。このとき、コイルLに蓄えられた電気エネルギーと電源Vinから送出される電力は、ダイオードD2を通して負荷Rに供給される。すなわち、ダイオードD2を介して負荷RとコンデンサCの並列回路に電流Ioffが流れる。この時、コンデンサCに電気エネルギーが蓄積される。

そして、再びスイッチSWがオンになると、電源VinによりコイルLに電流Ionが流れ、コイルLに電気エネルギーが蓄積される。一方、負荷RにはコンデンサCに蓄えられた電気エネルギーにより電流Ion'が流れる。このとき、ダイオードD2が逆流電流を阻止するため、コンデンサCに蓄えられた電気エネルギーは、スイッチSW2には流れない。コンデンサCからの電流Ion'は負荷Rのみに流れることになる。

以上のようなスイッチSW2のスイッチング動作によって、電源Vinの電圧は負荷Rに対して、以下のような式にてVoutに変換される。

[0081] [数6]

$$V_{out} = \frac{I_{on} + I_{off}}{I_{off}} V_{in} = \frac{I}{I_{off}} V_{in}$$

但し、

Ion: スイッチSWのオン周期

Ioff: スイッチSWのオフ周期

I=Ion+Ioff

すなわち、スイッチSW2のオン期間が長ければ長いほど、入力電圧は昇圧される。

。

[0082] 図17(a)、(b)、(c)及び(d)は本実施形態によるDC-DCコンバータの動作を説明する図である。

図5において、第1のスイッチと第2のスイッチのオン-オフには、以下の組み合わせがあった。

第1のスイッチ:オフ、第2のスイッチ:オフ

第1のスイッチ:オン、第2のスイッチ:オフ

第1のスイッチ:オン、第2のスイッチ:オン

これに加え、本実施形態では、

第1のスイッチ:オフ、第2のスイッチ:オン

という動作状態が発生する。

以下、第1のスイッチがオフ且つ第2のスイッチがオフの状態を、モード1(図17(a))と呼ぶ。

また、第1のスイッチがオン且つ第2のスイッチがオフの状態を、モード2(図17(b))と呼ぶ。

また、第1のスイッチがオン且つ第2のスイッチがオンの状態を、モード3(図17(c))と呼ぶ。

また、第1のスイッチがオフ且つ第2のスイッチがオンの状態を、モード4(図17(d))と呼ぶ。

[0083] 図18は、図16の回路を計算機にてシミュレーションを行った結果を示す。

図18では、差動増幅器の出力信号の代わりに、サイン波の信号を印加した際の、シミュレーション結果である。

$V_c$ は二つの $\Delta\Sigma$ 変調器への入力電圧である。

$I_{d2}$ は第2のダイオードD114の電流である。

SW1は、第1のFET111のオン/オフ制御状態を示す。SW2は、第2のFET110のオン/オフ制御状態を示す。それぞれ、高電位(論理のH)でオン、低電位(論理のL)でオフである。

モードは、SW1とSW2の論理状態から、図17に示したどのモードであるかを示したものである。

[0084]  $I_{d2}$ は、第2のダイオードD114が通電しているときにのみ流れる。つまり、モード1とモード2のときにのみ流れる。但し、図18を見ると、必ずしもモード1或はモード2の状態の時間において常に電流が流れている訳ではなく、時々電流が途中で途切れる現象が見受けられる。これは、コンデンサC115の電位と第2のダイオードD114の電位が等しくなり、コンデンサC115への蓄電状態が飽和した結果である。

[0085] 第1のFET111と第2のFET110とは、クロックのアップエッジとダウンエッジとで交互にスイッチング動作が行われるため、モード1からモード4まででモードが回転するような状態で遷移する。

つまり、モード1からはモード2或はモード4にしか移行しない。

同様に、モード2からはモード1或はモード3にしか移行しない。

同様に、モード3からはモード2或はモード4にしか移行しない。

同様に、モード4からはモード3或はモード1にしか移行しない。

モード1から直接モード3には移行し得ない。また、逆も然りである。

モード2から直接モード4には移行し得ない。また、逆も然りである。

[0086] モード1とモード2を交互に制御すると、図5(a)のステップダウンコンバータの動作と等しい。

モード2とモード3を交互に制御すると、図5(b)のステップアップコンバータの動作と等しい。

モード3とモード4を交互に制御すると、コイルL113には誘導電荷が蓄積されると共に、負荷に供給される電流はコンデンサC115の電荷でのみ形成される。

モード4とモード1を交互に制御すると、コイルL113の電流がコンデンサC115と負荷に供給される。

最終的には、負荷にかかる電圧(コンデンサC115の電位)は、コンデンサC115に電流が供給される時に上昇し、コンデンサC115への電流供給が遮断される時に下降する。

モード2の時間が多いと、電圧は上昇する。

モード3及び4の時間が多いと、電圧は下降する。

[0087] 以上より、DC-DCコンバータ1601の出力電圧は、以下の式によって求まる。ここで、 $I_o$ は、負荷116の電流である。

[0088] [数7]

$$V_o = \frac{1}{C} \int (I_{d2} - I_o) dt$$

但し、

$V_o$ : DC-DC コンバータの出力電圧

$C$ : コンデンサ

$I_{d2}$ : 第2のダイオードの電流

$I_o$ : DC-DC コンバータの出力電流

[0089] 図19は、負荷変動に対する出力の過渡応答特性を計算機シミュレーションにて得た図である。

電流変化に対し、出力電圧は一瞬変動し、すぐに追従する。

図19において、負荷が軽くなり、電流が1Aから0.5Aへ減ると、電圧は一瞬上昇する。しかし、 $\Delta \Sigma$ 変調器はその電圧変化を受けて、電圧を減らす方向に制御を行い、結果として電圧は目標電圧へ収束する。

逆に、負荷が重くなり、電流が0.5Aから1Aへ減ると、電圧は一瞬下降する。しかし、 $\Delta \Sigma$ 変調器はその電圧変化を受けて、電圧を増やす方向に制御を行い、結果として電圧は目標電圧へ収束する。

この制御の過程において、上昇したり下降したりする電圧がオーバシュートであり、このオーバシュートが小さければ小さいほど良い電源であると評価される。

[0090] このオーバシュートであるが、 $\Delta \Sigma$ 変調器内部の積分器の時定数を小さくすることで、オーバシュートを小さくすることができる。しかし、時定数を小さくするには限界がある。そこで、クロックの周波数を上げて分解能を向上させることで、オーバシュートを小さくすることができる。但し、回路素子の特性等から、クロック周波数を上昇させることにも限界がある。特に、スイッチング素子である第1のFET111及び第2のFET110のスイッチング制御が可能な周波数の上限で、クロックの周波数は決定される。

実際の装置への実装では、生じる負荷の変動、負荷が許容できるオーバシュートの範囲と、素子の定数の許容範囲、そしてコストとの兼ね合いによって、適切なクロック周波数及び積分器の時定数が決定される。

[0091] 図16を参照して説明する。

抵抗R1604を調節することで、オペアンプ1602よりなる積分器のゲインを調整できる。

コンデンサC1603を調節することで、積分器の周波数特性を調整できる。

抵抗R1606を調節することで、積分器のゲイン及び周波数特性を調整できる。

これら素子の値を適切に選定することで、負荷変動に対する追従特性と電源電圧の安定性を両立させることができる。

[0092] 本実施形態には、以下のような応用例が考えられる。

(1) 上記実施形態では、クロック源1509のアップエッジとダウンエッジにて、第1  $\Delta \Sigma$  変調器1507と第2  $\Delta \Sigma$  変調器1508を交互に駆動していたが、アップエッジのみ、或はダウンエッジのみでも動作する。この場合は、所望の分解能を得るために、交互に駆動するときと比べて倍の周波数のクロックにて稼働させる必要がある。

[0093] (2) 図16のコンパレータ1607及び1617は、単純に省略することもできる。この場合、コンパレータの機能はD-FF1605及び1615のD端子そのものが担うこととなる。そして、基準電圧はD端子のスレッシュホールドレベルに置き換わる。

[0094] (3) 図16では、入力電圧がどのような電圧であっても、降圧制御と昇圧制御の両方が有効に働いている。このことは、例え出力電圧に比べて入力電圧が十分に高い場合でも、僅かながら昇圧制御が働いていることを示す。そこで、入力電圧と出力電圧の差が十分大きい場合は、不必要な昇圧制御或は降圧制御を行わないように、昇降圧制御部104を構成することで、電圧変換効率を向上させることが考えられる。

図20は、本実施形態によるDC-DCコンバータの回路図を示す。昇降圧制御部104の、第1  $\Delta \Sigma$  変調器1507及び第2  $\Delta \Sigma$  変調器1508の制御出力に回路を追加した一例である。

コンパレータ2002には、バッテリー105の電圧を分圧する抵抗R2003及びR2004による電圧がマイナス側入力に、コンバータ回路部102の出力電圧を分圧する抵抗R2005及びR2006による電圧がプラス側入力に、それぞれ入力される。

コンパレータ2012には、バッテリー105の電圧を分圧する抵抗R2013及びR2014による電圧がマイナス側入力に、コンバータ回路部102の出力電圧を分圧する抵抗

R2015及びR2016による電圧がプラス側入力に、それぞれ入力される。

[0095] コンパレータ2002の出力は、第2  $\Delta \Sigma$  変調器1508の出力と共にORゲート2007に入力される。

コンパレータ2012の出力は、第1  $\Delta \Sigma$  変調器1507の出力と共にANDゲート2017に入力される。

ORゲート2007の出力は第1のFET111のゲート端子に供給され、降圧スイッチング制御を行う。

ANDゲート2017の出力は第2のFET110のゲート端子に供給され、昇圧スイッチング制御を行う。

[0096] コンパレータ2002は、バッテリー105の電圧がコンバータ回路部102の出力電圧より十分低いときに、Hを出力する。したがって、降圧制御が不必要なほど、バッテリー105の電圧が低いときには、コンパレータ2002はHを出力するので、ORゲート2007は第2  $\Delta \Sigma$  変調器1508の出力に関係なく、Hを出力する。このため、第1のFET111はオン状態を維持する。即ち、降圧制御が行われなくなる。

コンパレータ2012は、バッテリー105の電圧がコンバータ回路部102の出力電圧より十分高いときに、Lを出力する。したがって、昇圧制御が不必要なほど、バッテリー105の電圧が高いときには、コンパレータ2012はLを出力するので、ANDゲート2017は第1  $\Delta \Sigma$  変調器1507の出力に関係なく、Lを出力する。このため、第2のFET110はオフ状態を維持する。即ち、昇圧制御が行われなくなる。

[0097] 本実施形態においては、 $\Delta \Sigma$  変調器を採用した降圧・昇圧兼用DC-DCコンバータを開示した。

本実施形態のDC-DCコンバータは、従来技術のPWM制御と比べると、回路構成が極めて簡単で、且つ出力電圧を決定する際に回路定数を微調整する等の必要が殆どない。微調整の必要があるとするならば、エラー信号生成部103の分圧抵抗の抵抗値と、オーバシュートを低減させるための積分器の時定数やクロック周波数である。よって、携帯型電子機器に好適で、ほぼ無調整且つ安定した性能のDC-DCコンバータを提供できる。

[0098] 以上、本発明の実施形態例について説明したが、本発明は上記実施形態例に限

定されるものではなく、特許請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、他の変形例、応用例を含むことは言うまでもない。

### 引用符号の説明

[0099] 101…DC-DCコンバータ、102…コンバータ回路部、103…エラー信号生成部、104…昇降圧制御部、105…バッテリー、106…オペアンプ、107…降圧スイッチング制御部、108…昇圧スイッチング制御部、110…第2のFET、111…第1のFET、118…内部抵抗、119…電圧源、202…降圧PWM制御部、203…昇圧PWM制御部、204…降圧PWM制御スイッチ、205…昇圧PWM制御スイッチ、206…MIX制御部、615…鋸歯状波発振回路、630、643、1407、1607、2002、2012…コンパレータ、631、1402、1602…オペアンプ、634…モノマルチ、635、1410、1510…NOTゲート、636、645、2017…ANDゲート、644、646、2007…ORゲート、637、1405、1605…D型フリップフロップ、638…アップダウン制御部、639…A/Dコンバータ、902、903…矢印、904、905、906…点線、1130…サンプル・ホールド回路、1135…NOTゲート、1211…第1のスイッチ、1212…第2のスイッチ、1302…A/Dコンバータ、1303…クロック生成器、1304、1305、1312…バイナリカウンタ、1306…第1オフセット値、1307…第2オフセット値、1308、1309…一致検出器、1310、1311…RSフリップフロップ、1313…プリセット値、1409…クロック生成器、1421…第1の $\Delta\Sigma$ 変調回路、1422…第2の $\Delta\Sigma$ 変調回路、1507…第1のデルタシグマ変調器、1508…第2のデルタシグマ変調器、1509…クロック源、D112…第1のダイオード、L113…コイル、D114…第2のダイオード、C115、C127、C627、C640、C1403、C1603…コンデンサ、R125、R126、R121、R122、R123、R124、R628、R629、R641、R642、R1404、R1406、R1604、R1606、R2003、R2004、R2005、R2006、R2013、R2014、R2015、R2016…抵抗



## 請求の範囲

- [1] 入力電圧を受け入れる降圧制御スイッチと、  
前記降圧制御スイッチに接続される第1のダイオードと、  
前記降圧制御スイッチと前記第1のダイオードに接続されるコイルと、  
前記コイルに接続される昇圧制御スイッチと、  
前記コイルと前記昇圧制御スイッチに接続される第2のダイオードと、  
前記第2のダイオードに接続されるコンデンサと、  
前記コンデンサに接続され、前記コンデンサの端子間電圧と目標電圧との差である誤差信号を出力するエラー信号生成部と、  
前記誤差信号を受けて前記降圧制御スイッチを制御する降圧スイッチング制御部と、  
前記誤差信号を受けて前記昇圧制御スイッチを制御する昇圧スイッチング制御部と  
を具備することを特徴とするDC-DCコンバータ。
- [2] 前記降圧スイッチング制御部はPWM制御信号を生成する降圧PWM制御部であり、  
前記昇圧スイッチング制御部はPWM制御信号を生成する昇圧PWM制御部であり、  
更に、  
前記降圧PWM制御部と前記降圧制御スイッチとの間に接続される降圧PWM制御スイッチと、  
前記昇圧PWM制御部と前記昇圧制御スイッチとの間に接続される昇圧PWM制御スイッチと、  
前記降圧PWM制御スイッチと前記昇圧PWM制御スイッチとに接続され、前記降圧PWM制御部による前記降圧制御スイッチの制御と、前記昇圧PWM制御部による前記昇圧制御スイッチの制御を排他的に行わせるMIX制御部と  
を具備することを特徴とする、請求項1記載のDC-DCコンバータ。
- [3] 前記MIX制御部は、前記入力電圧が所定範囲内であることを検出して動作するこ

とを特徴とする、請求項2記載のDC-DCコンバータ。

- [4] 前記MIX制御部は、前記入力電圧と前記コンデンサの端子間電圧との電位差が所定範囲内であることを検出して動作することを特徴とする、請求項2記載のDC-DCコンバータ。
- [5] 前記MIX制御部は、前記降圧PWM制御部が前記降圧制御スイッチにて行う降圧PWM制御の降圧効果が最小になるデューティ比の降圧PWM制御信号を発すると共に、前記昇圧PWM制御部が前記昇圧制御スイッチにて行う昇圧PWM制御の昇圧効果が最小になるデューティ比の昇圧PWM制御信号を発する状態において、前記降圧PWM制御スイッチと前記昇圧PWM制御スイッチを交互に切り替えることを特徴とする、請求項2記載のDC-DCコンバータ。
- [6] 更に、  
前記降圧PWM制御部は、前記誤差信号をホールドするサンプル・ホールド回路を備え、  
前記MIX制御部は、前記入力電圧が所定電圧を下回ったことを検出して、前記サンプル・ホールド回路を駆動制御することを特徴とする、請求項2記載のDC-DCコンバータ。
- [7] 前記降圧スイッチング制御部はデルタシグマ制御信号を生成する降圧デルタシグマ制御部であり、  
前記昇圧スイッチング制御部はデルタシグマ制御信号を生成する昇圧デルタシグマ制御部であり、  
更に、  
前記降圧デルタシグマ制御部と前記降圧制御スイッチとの間に接続される降圧デルタシグマ制御スイッチと、  
前記昇圧デルタシグマ制御部と前記昇圧制御スイッチとの間に接続される昇圧デルタシグマ制御スイッチと、  
前記降圧デルタシグマ制御スイッチと前記昇圧デルタシグマ制御スイッチとに接続され、前記降圧デルタシグマ制御部による前記降圧制御スイッチの制御と、前記昇圧デルタシグマ制御部による前記昇圧制御スイッチの制御を排他的に行わせるMIX

制御部と

を具備することを特徴とする、請求項1記載のDC-DCコンバータ。

- [8] 前記昇圧スイッチング制御部はデルタシグマ制御信号を生成する第1のデルタシグマ変調器であり、

前記降圧スイッチング制御部はデルタシグマ制御信号を生成する第2のデルタシグマ変調器であることを特徴とする、請求項1記載のDC-DCコンバータ。

- [9] 更に、

前記第1のデルタシグマ変調器と前記第2のデルタシグマ変調器とを駆動するクロック源を備え、

前記第1のデルタシグマ変調器と前記第2のデルタシグマ変調器は、一方が前記クロック源から発されるクロックのアップエッジにて駆動され、他方がダウンエッジにて駆動されることを特徴とする、請求項8記載のDC-DCコンバータ。

- [10] 前記入力電圧と前記コンデンサの端子間電圧との電位差が所定範囲外であることを検出して、前記降圧制御スイッチと、前記昇圧制御スイッチのいずれかの制御を停止するべく制御することを特徴とする、請求項9記載のDC-DCコンバータ。

[図1]

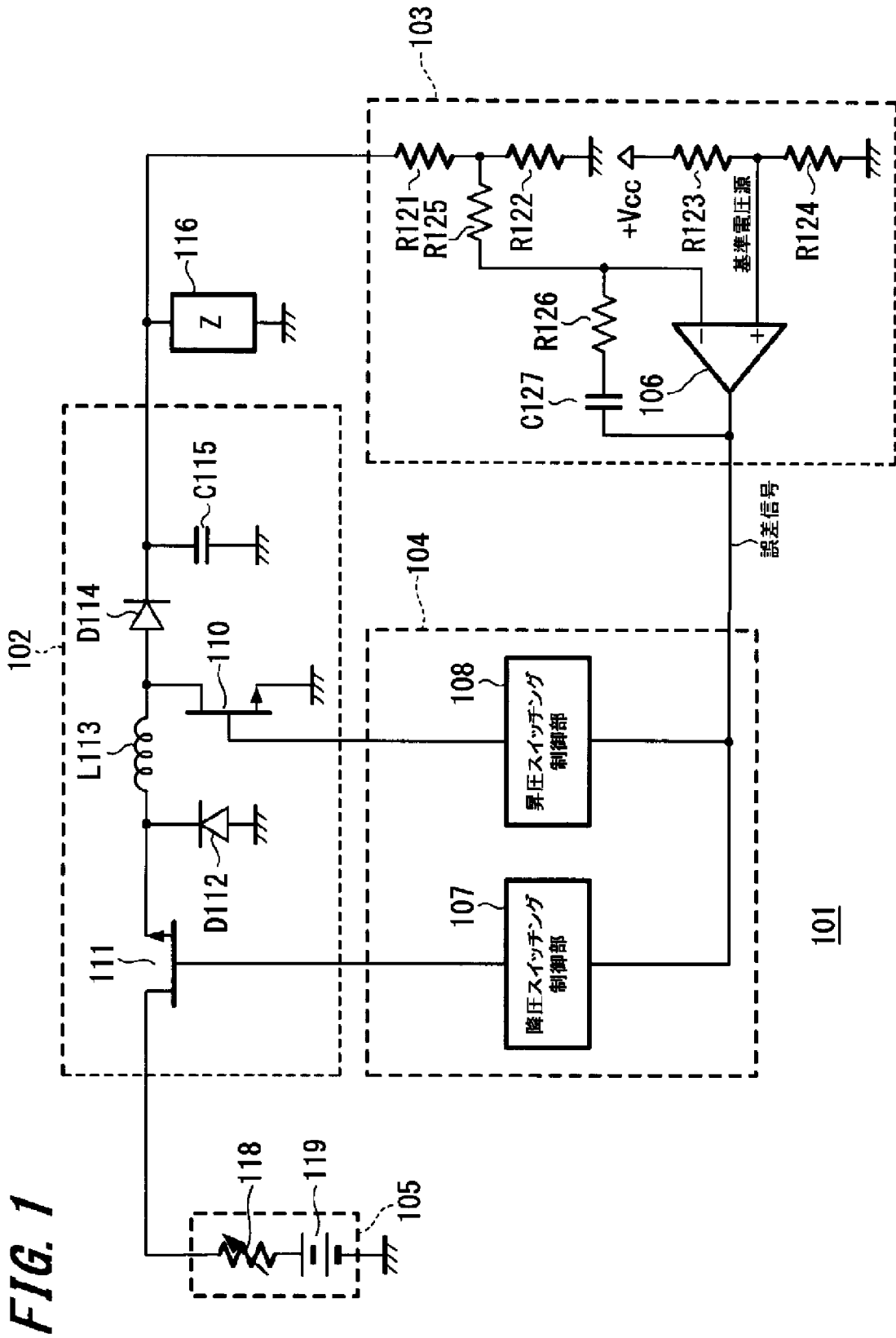
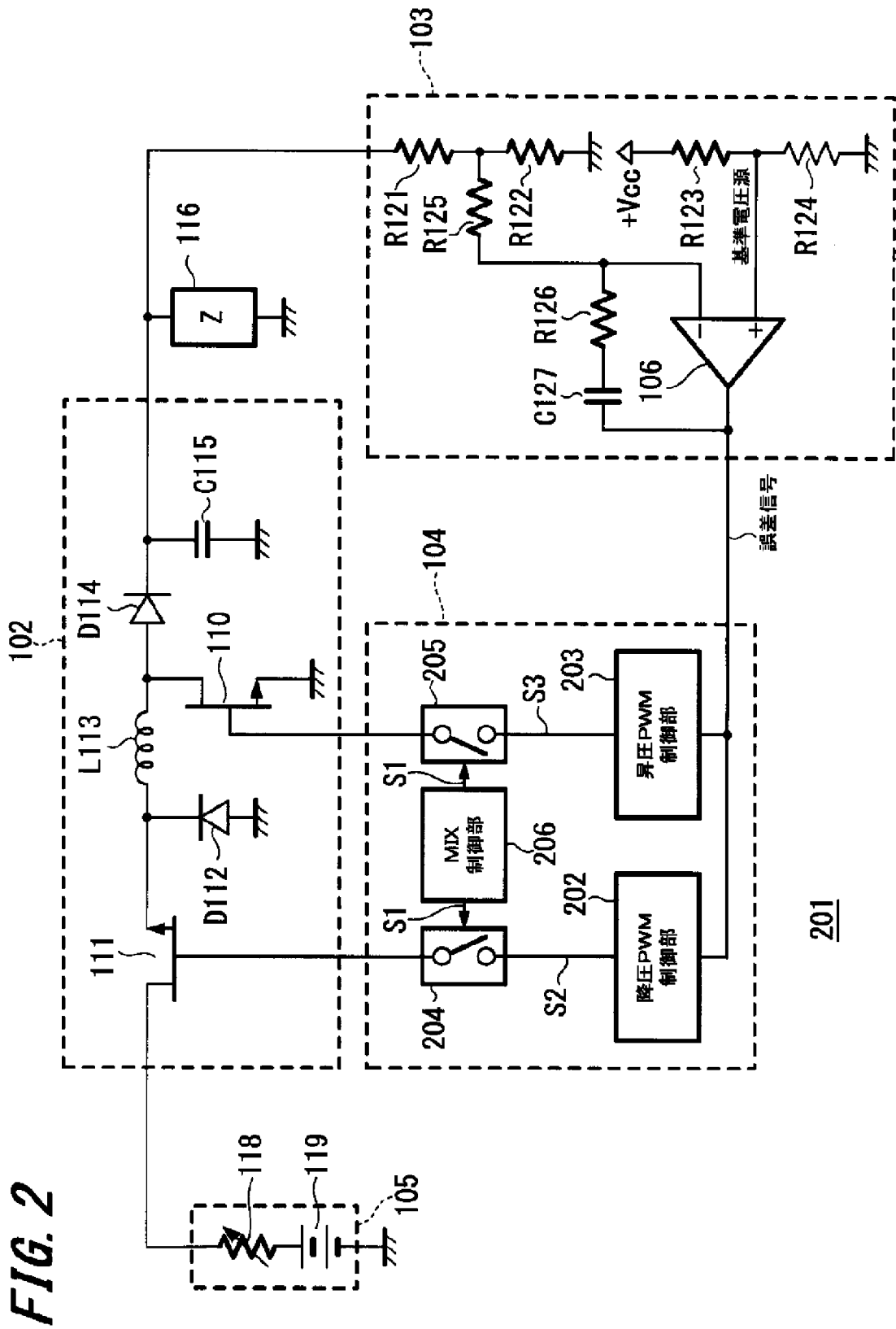
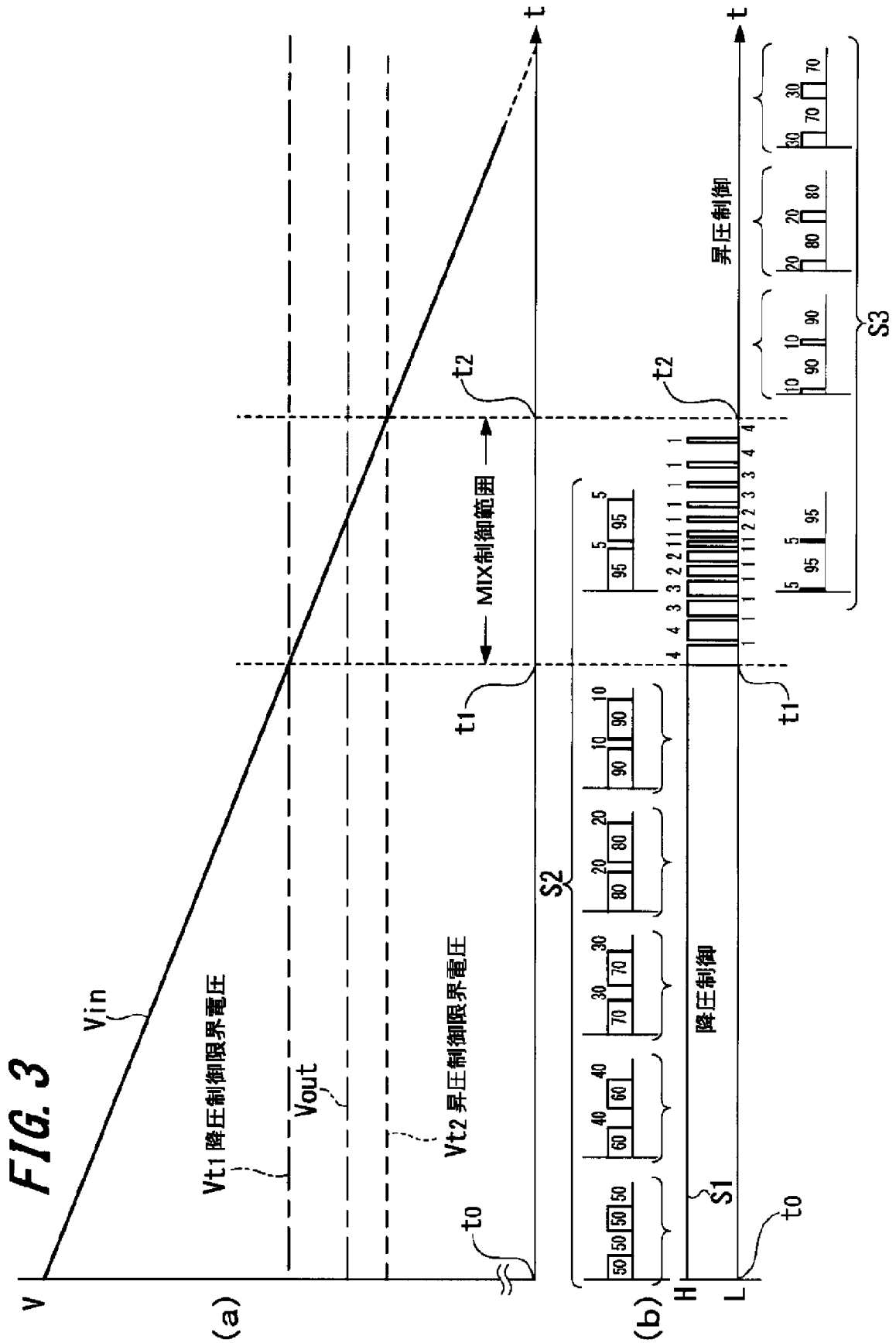


FIG. 1

[図2]

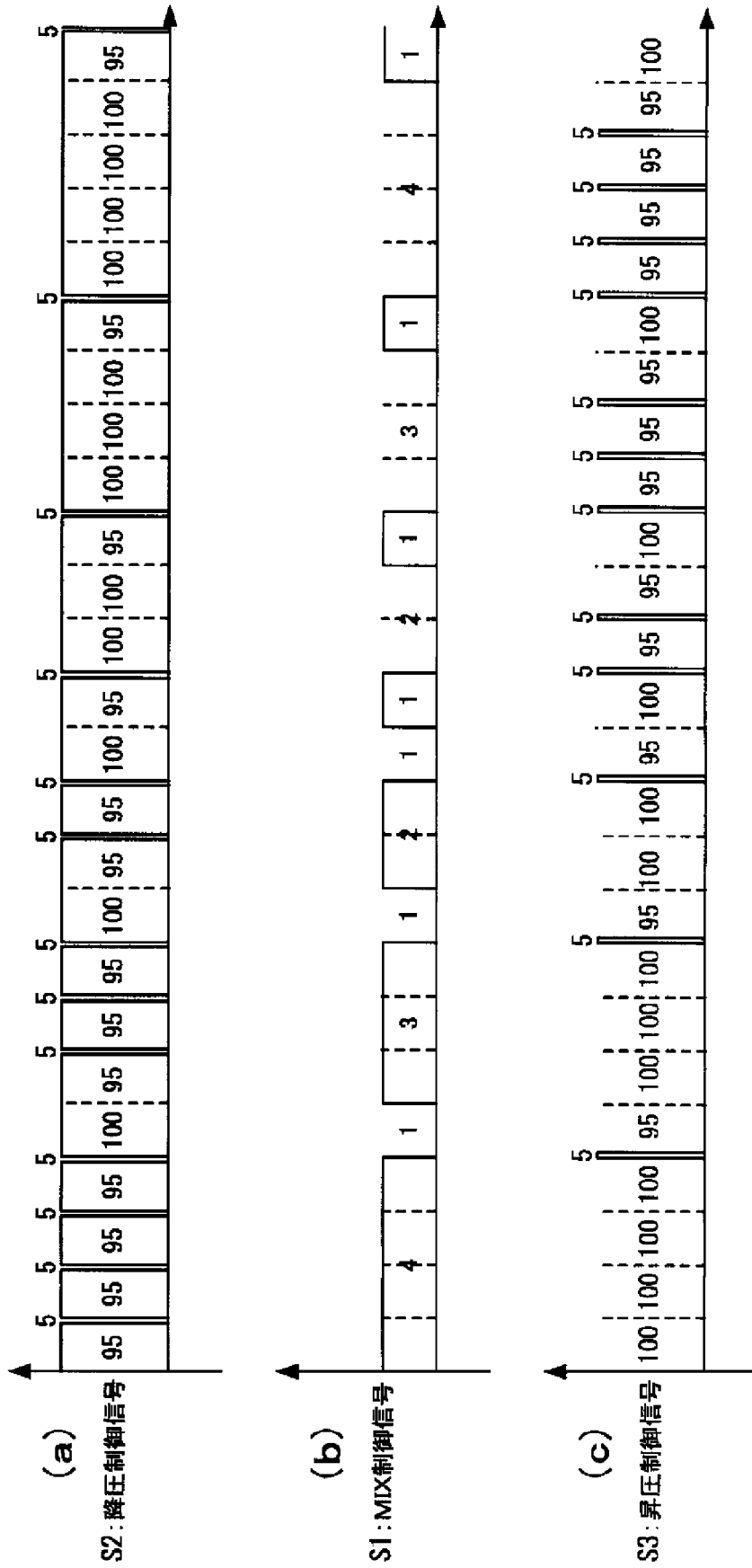


[図3]

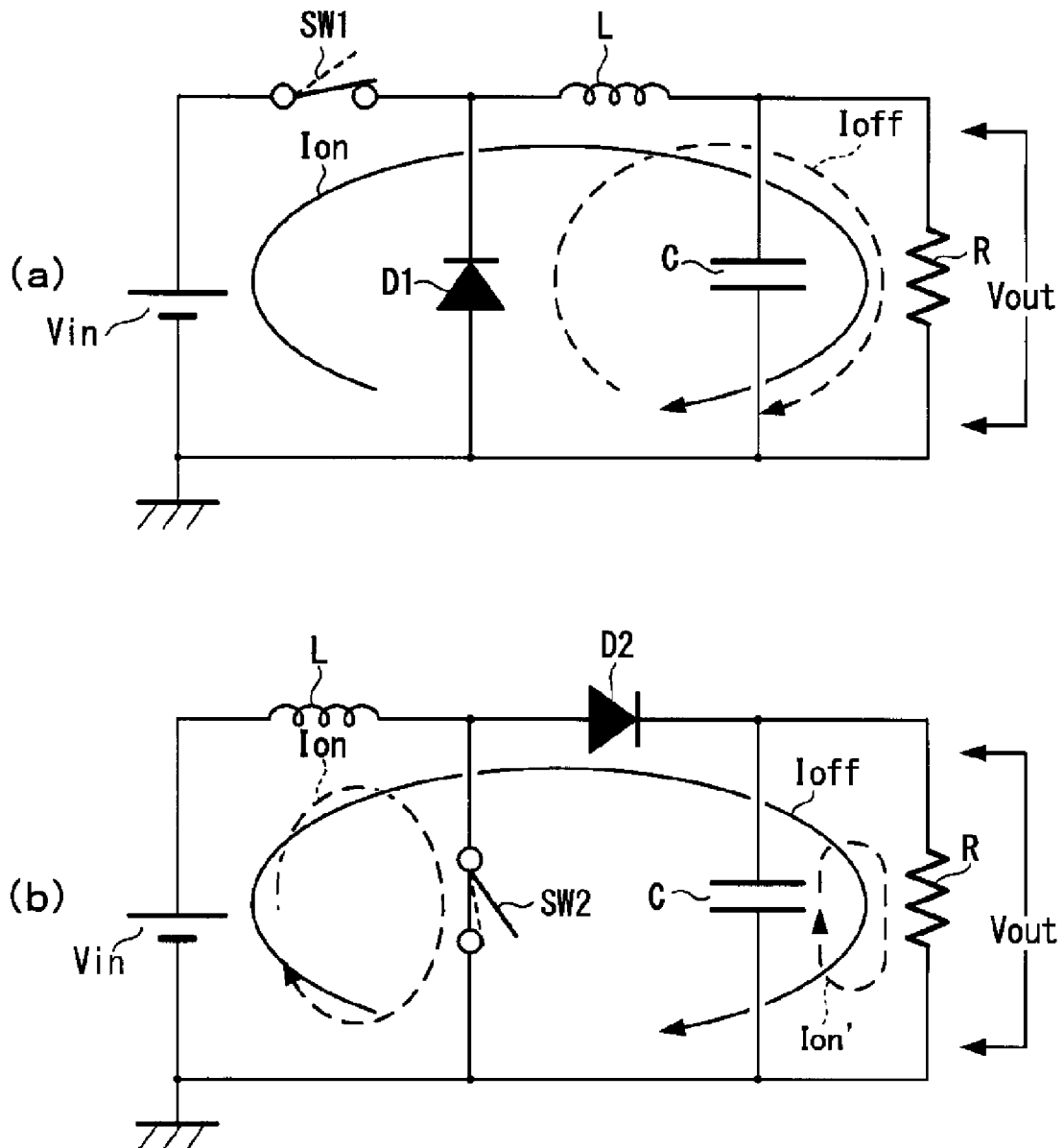


[図4]

FIG. 4

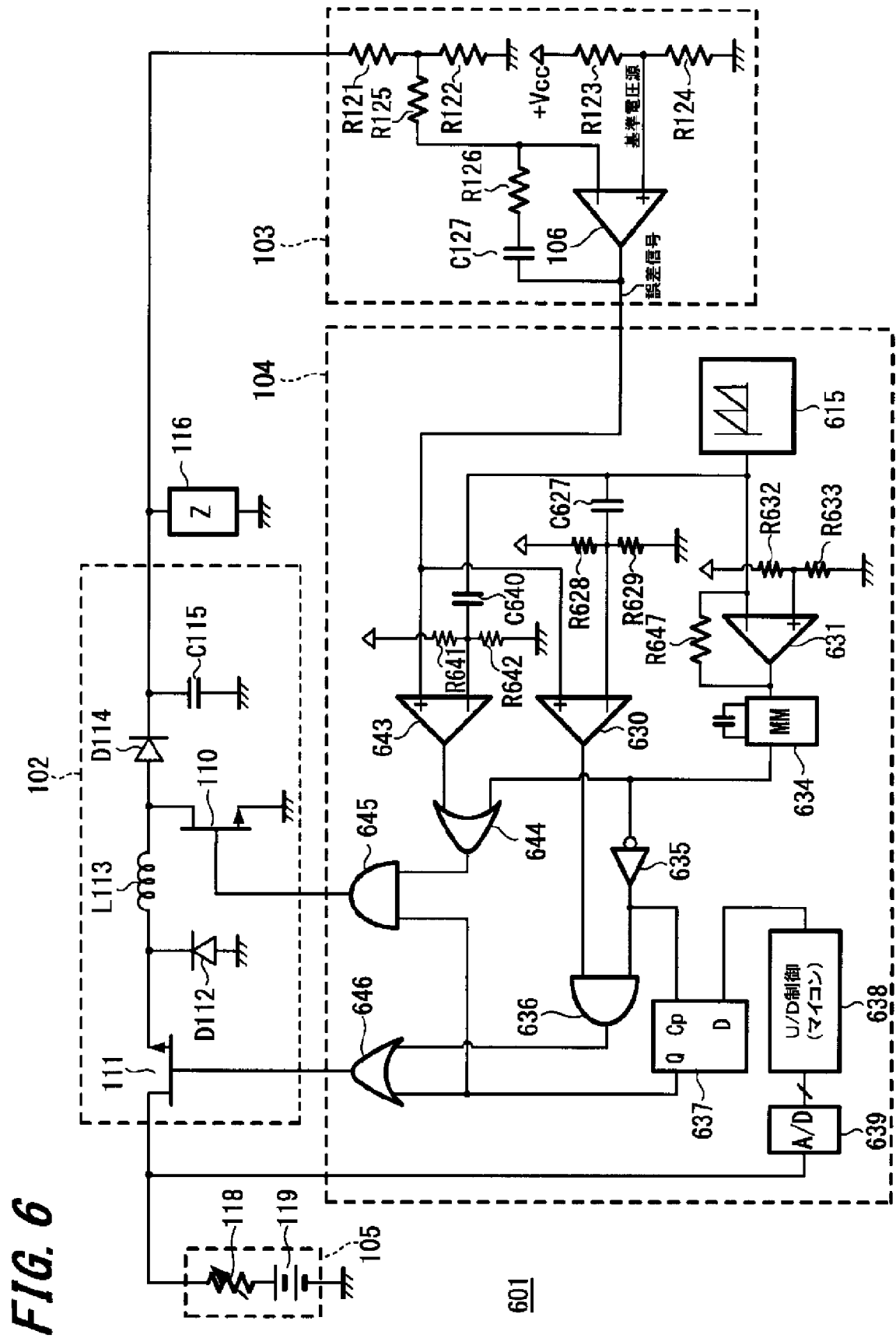


[図5]

**FIG. 5**

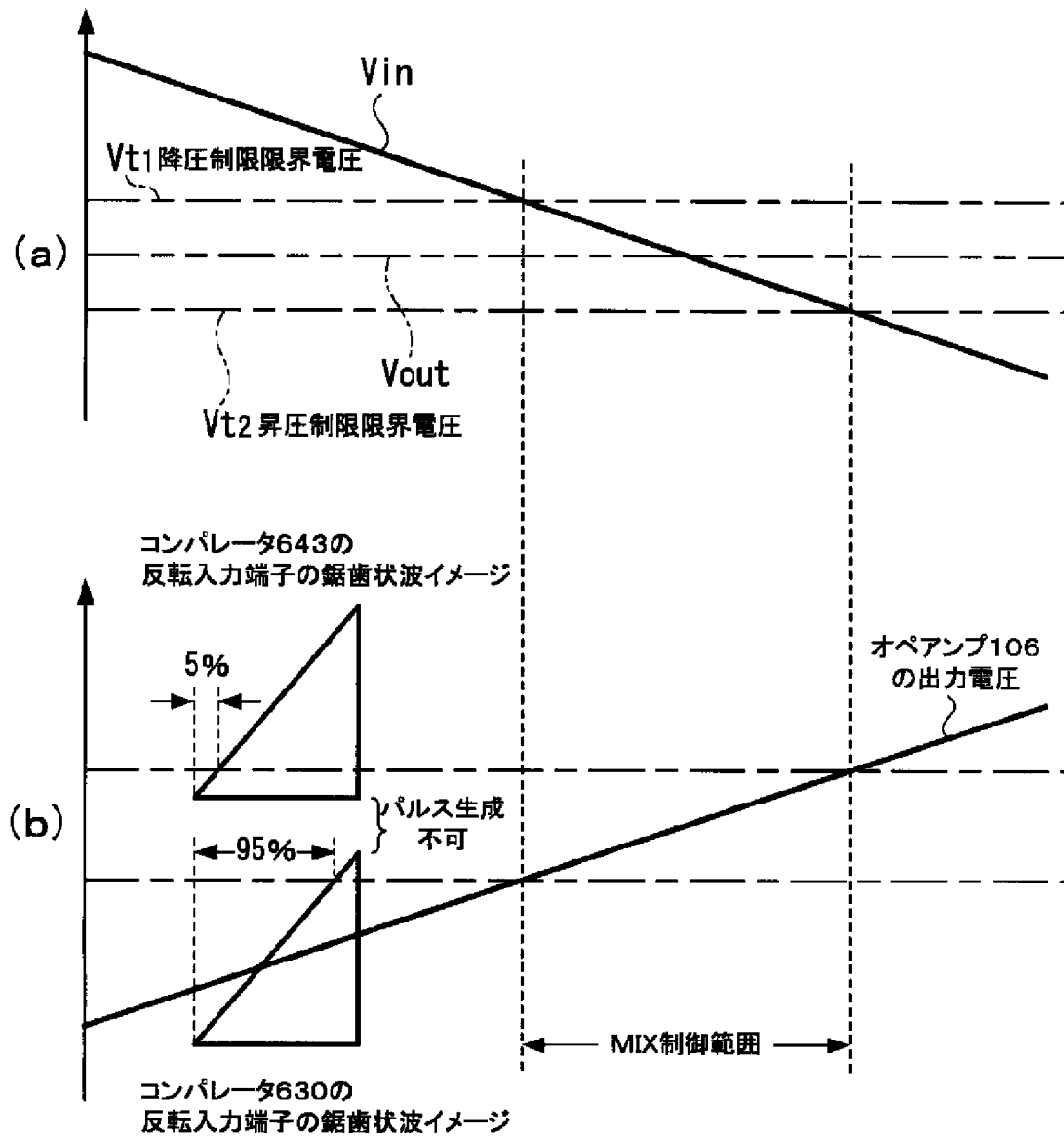


[図6]

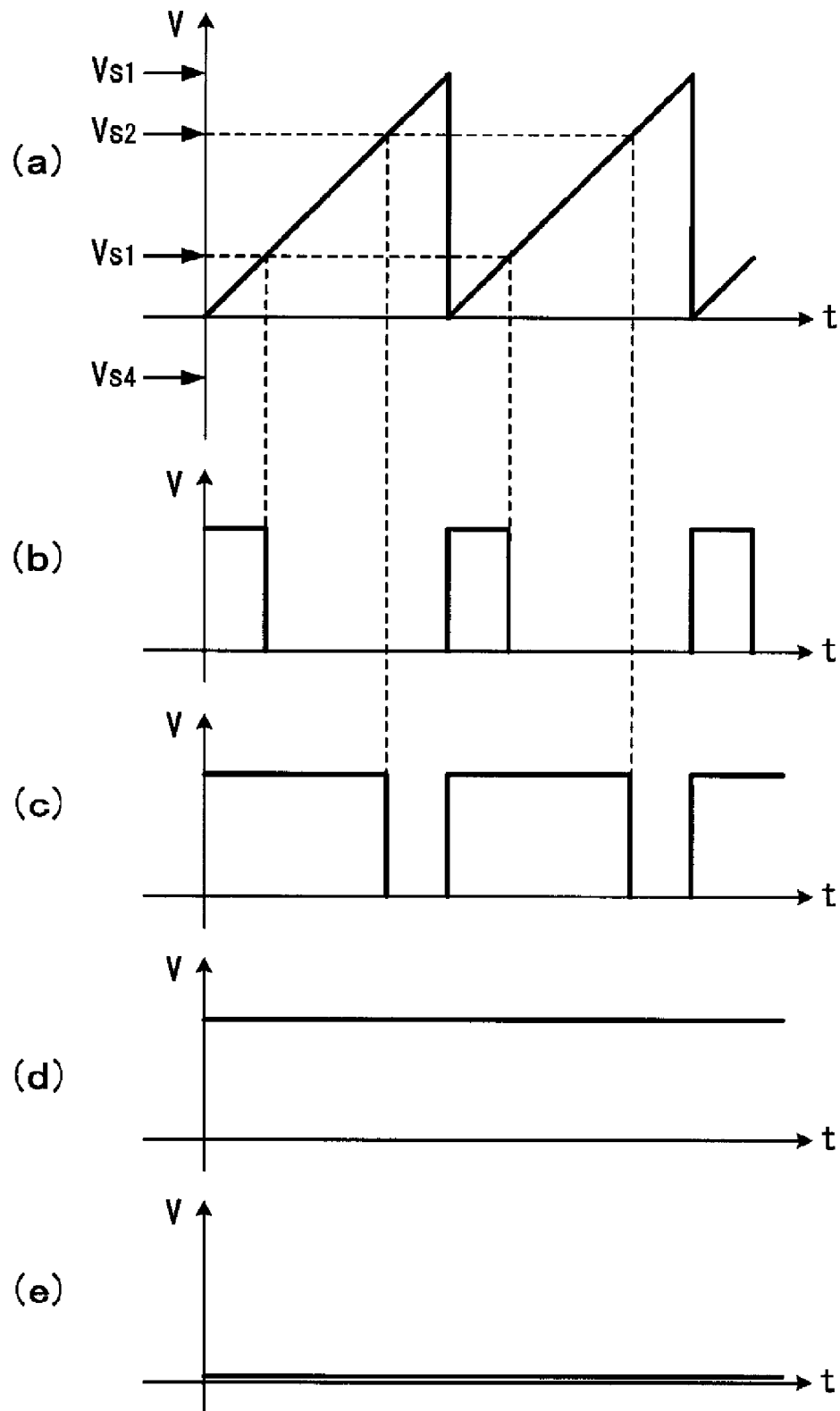


[図7]

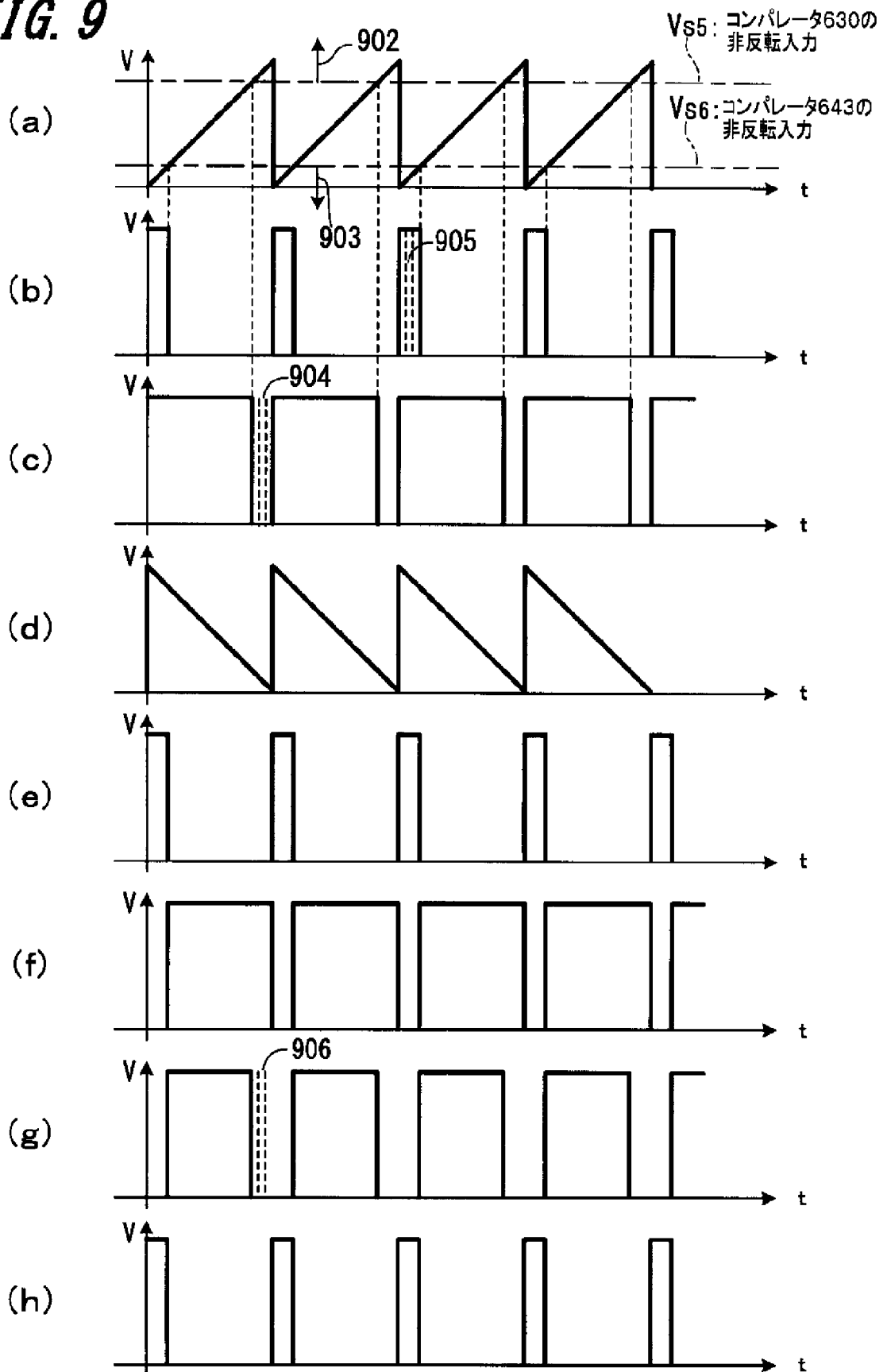
FIG. 7



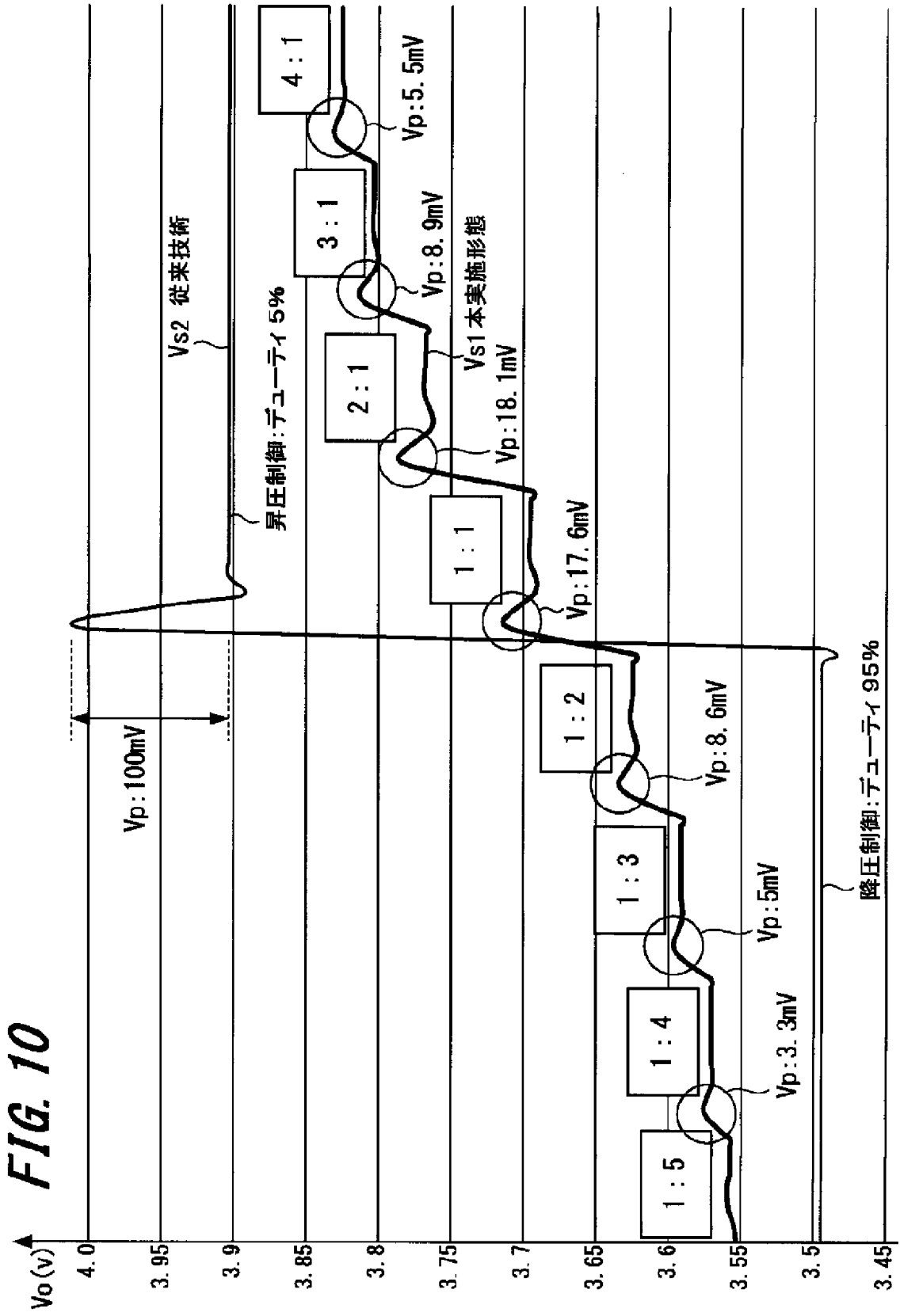
[図8]

**FIG. 8**

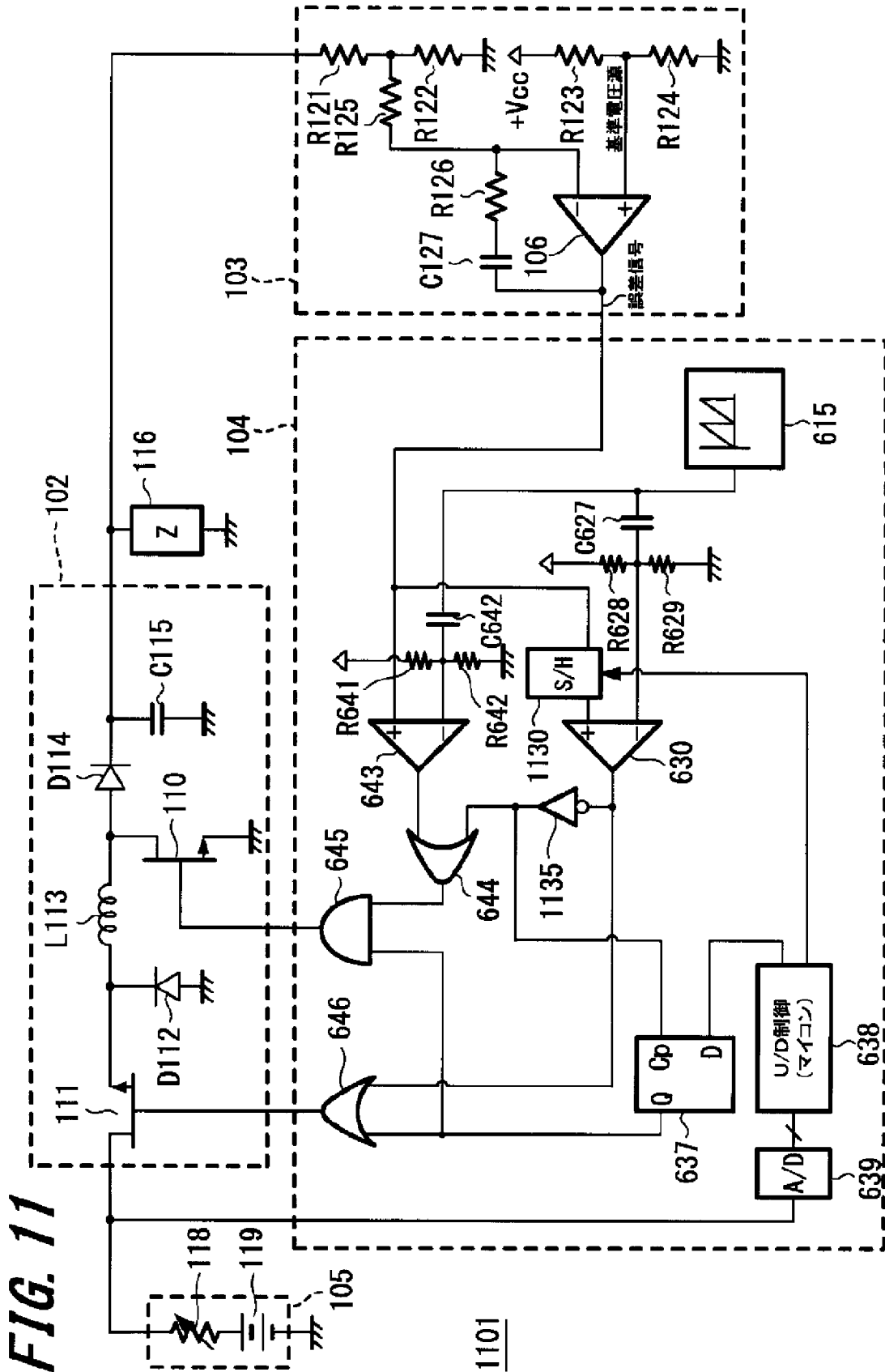
[図9]

**FIG. 9**

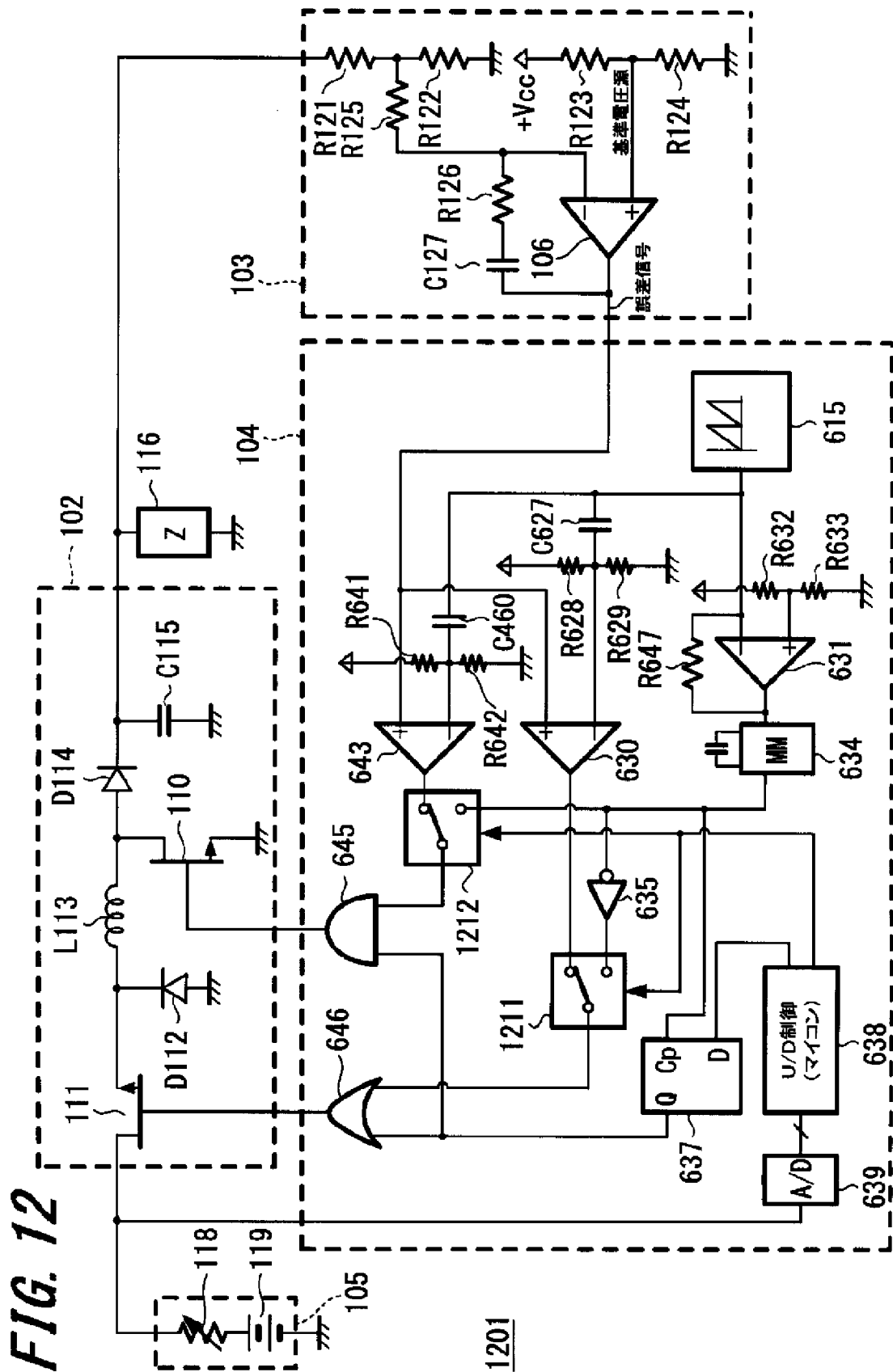
[図]10



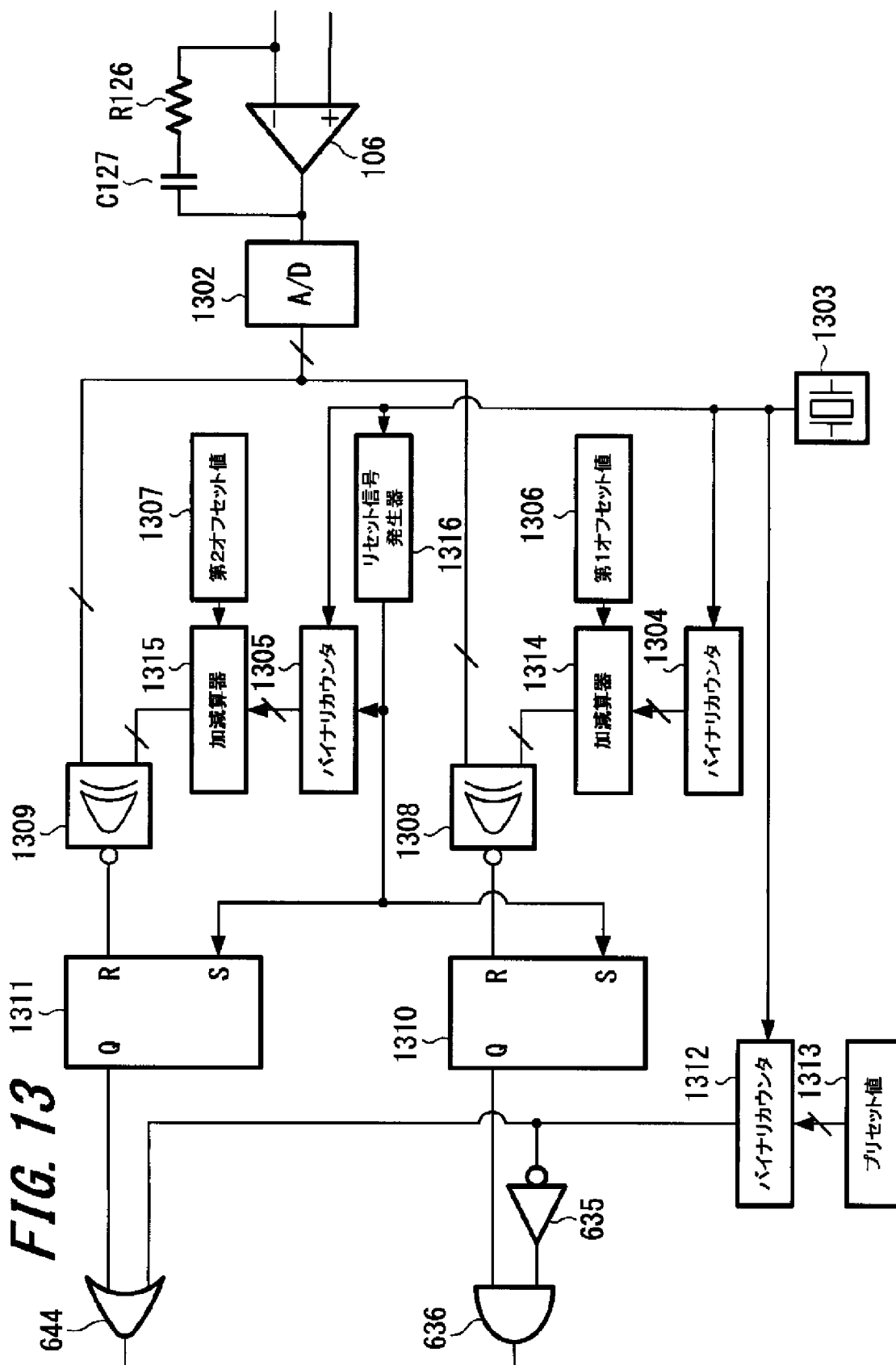
[図11]



[図12]

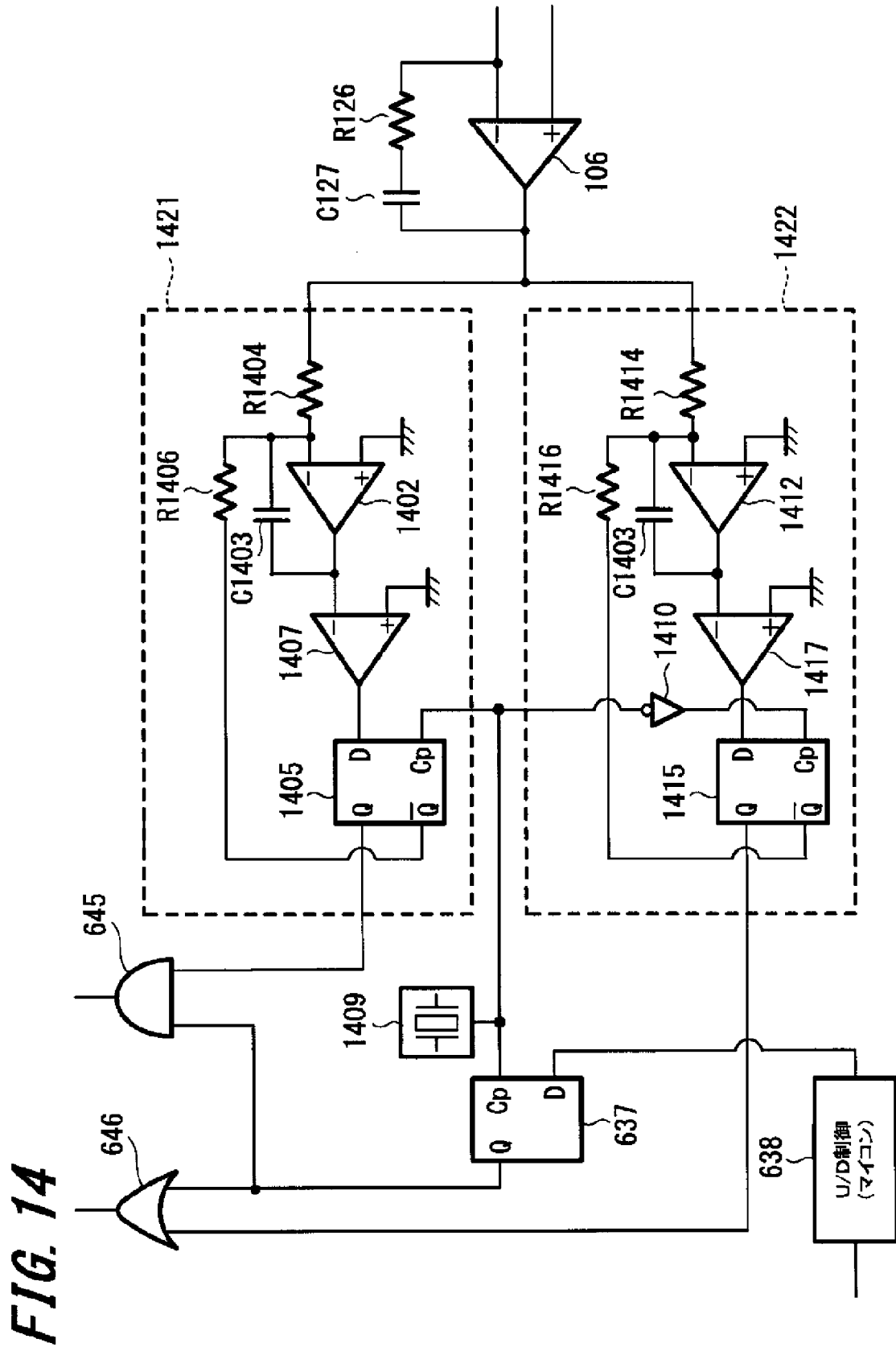


[図]13





[図14]



[図15]

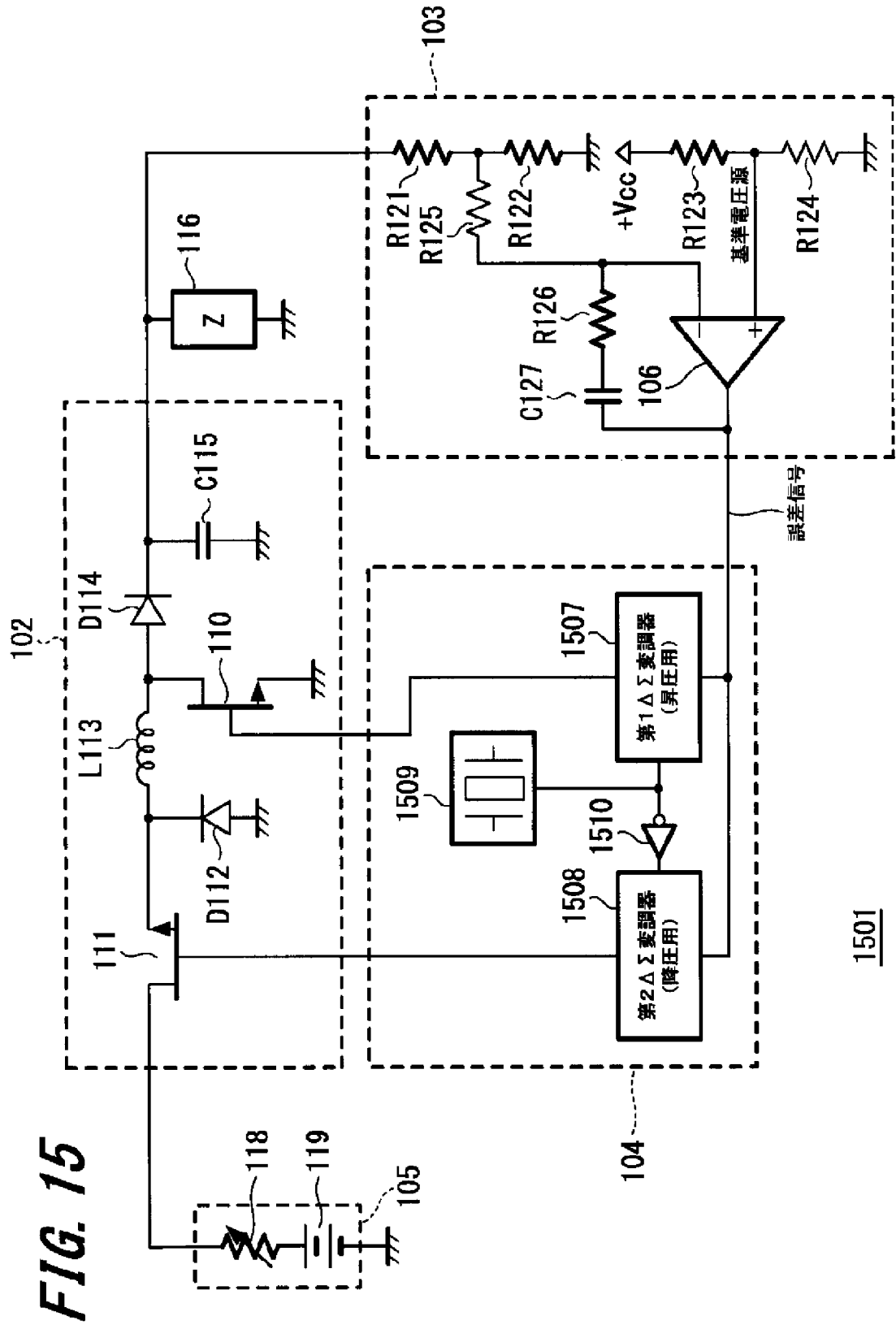
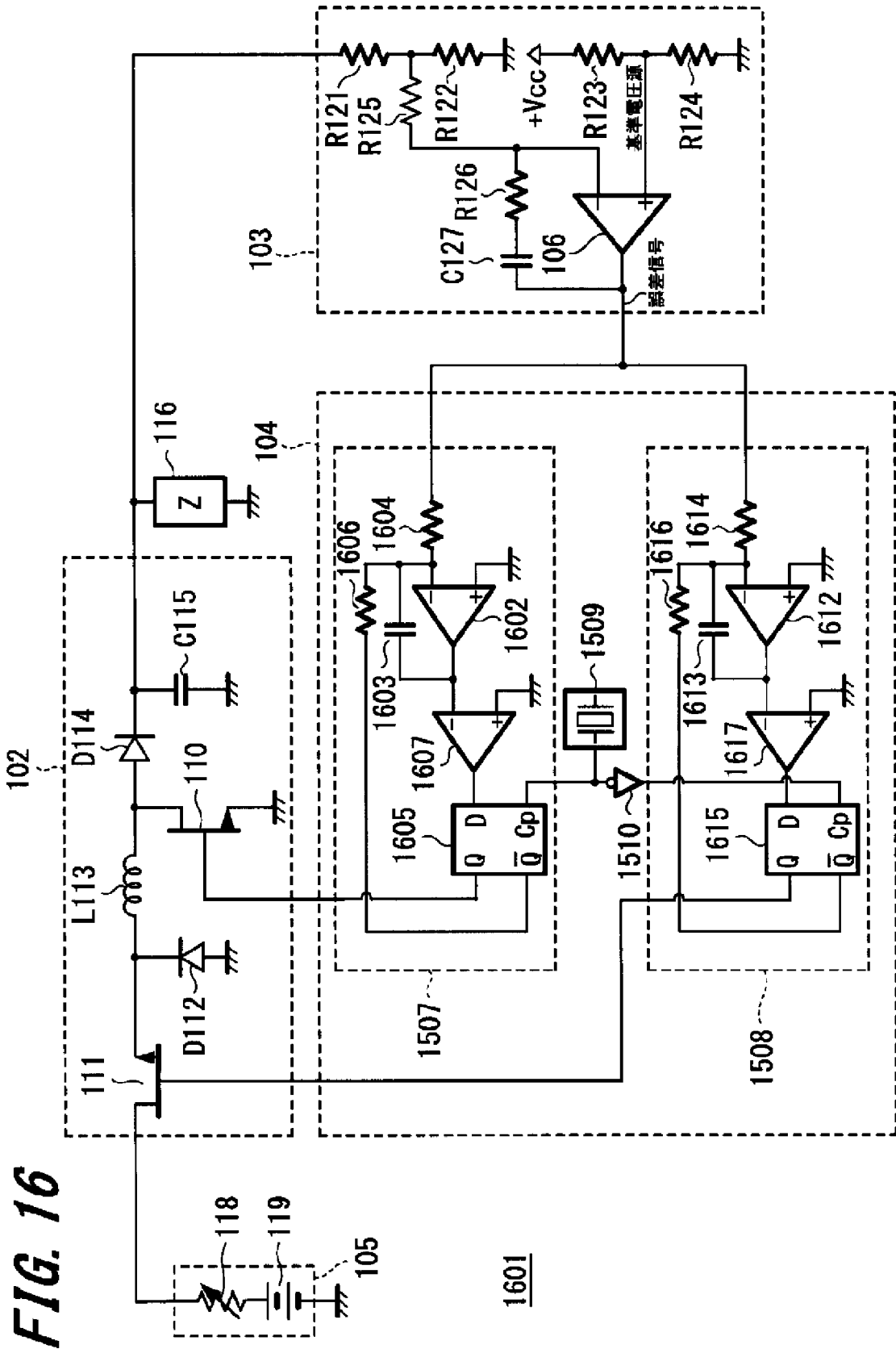


FIG. 15

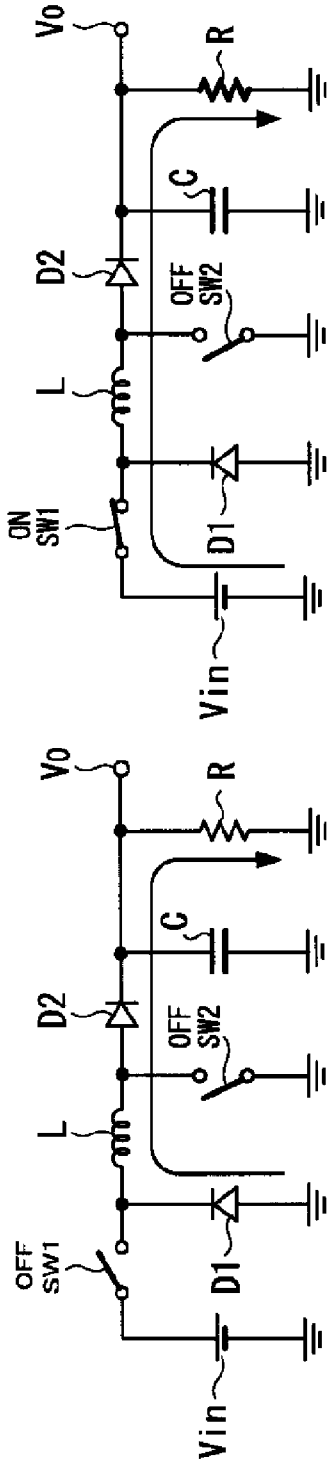
1501

[図]16



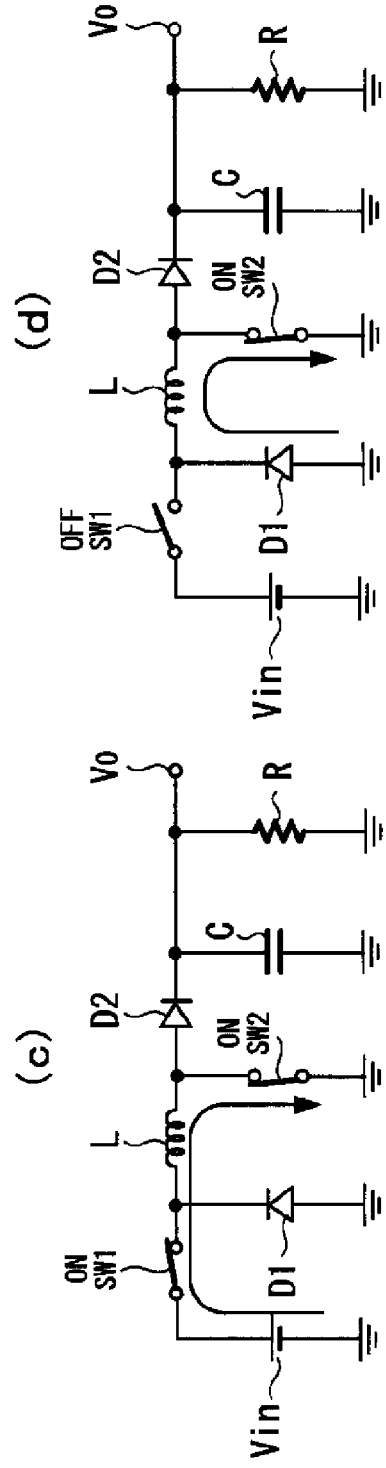
[図17]

FIG. 17



モーター1: SW1OFF、SW2OFF

モーター2: SW1ON、SW2OFF

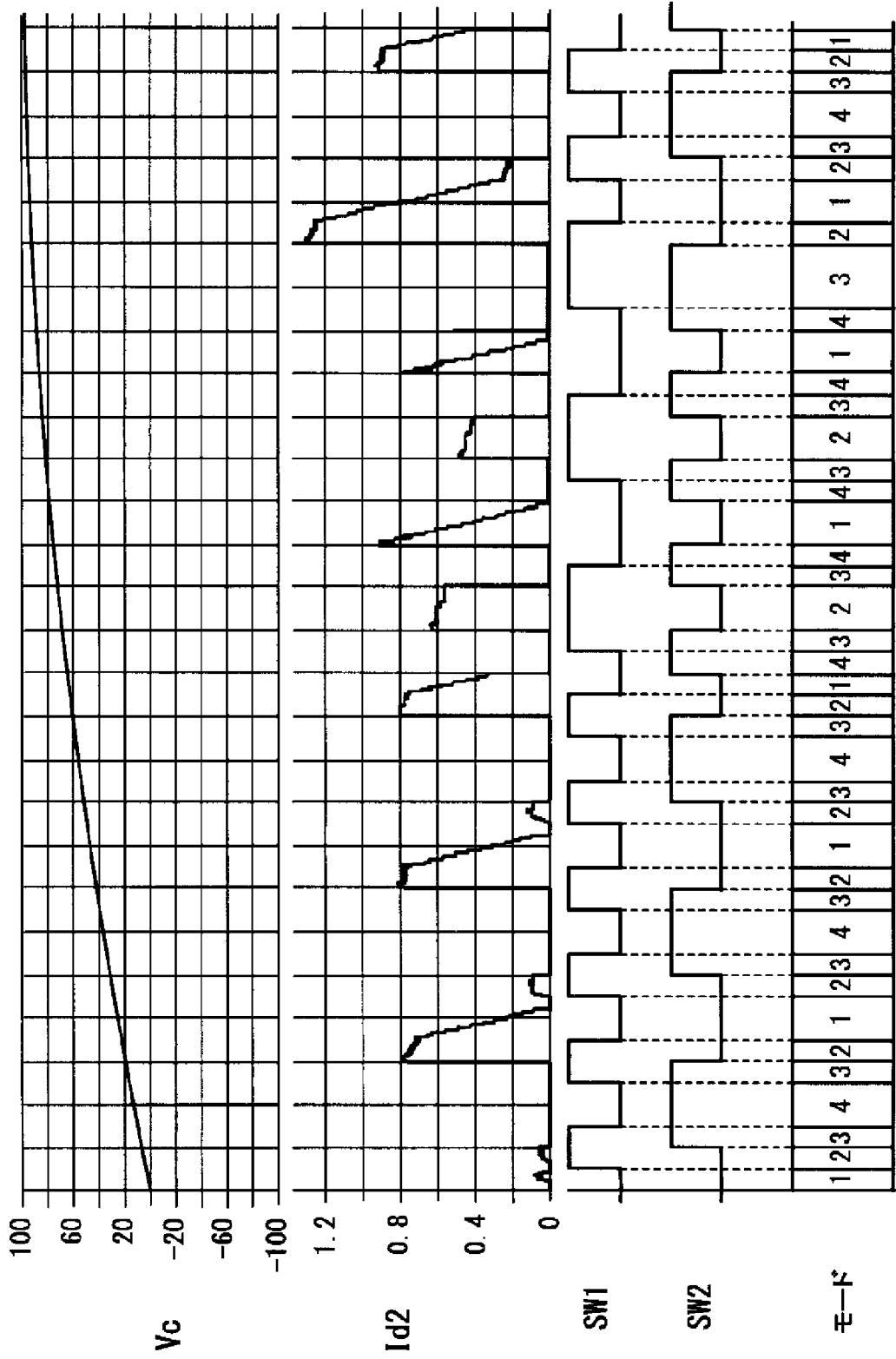


モーター3: SW1ON、SW2ON

モーター4: SW1OFF、SW2ON

[図]18

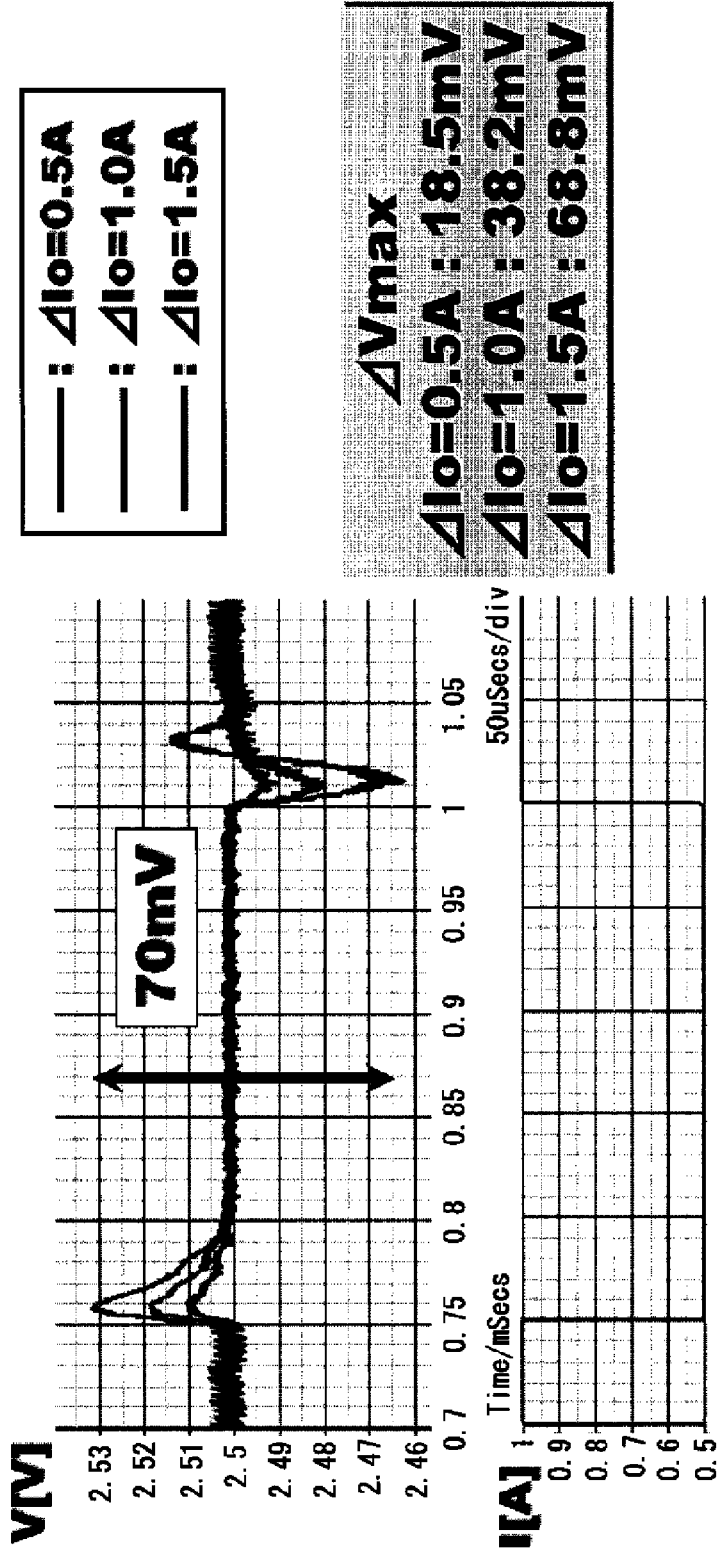
FIG. 18



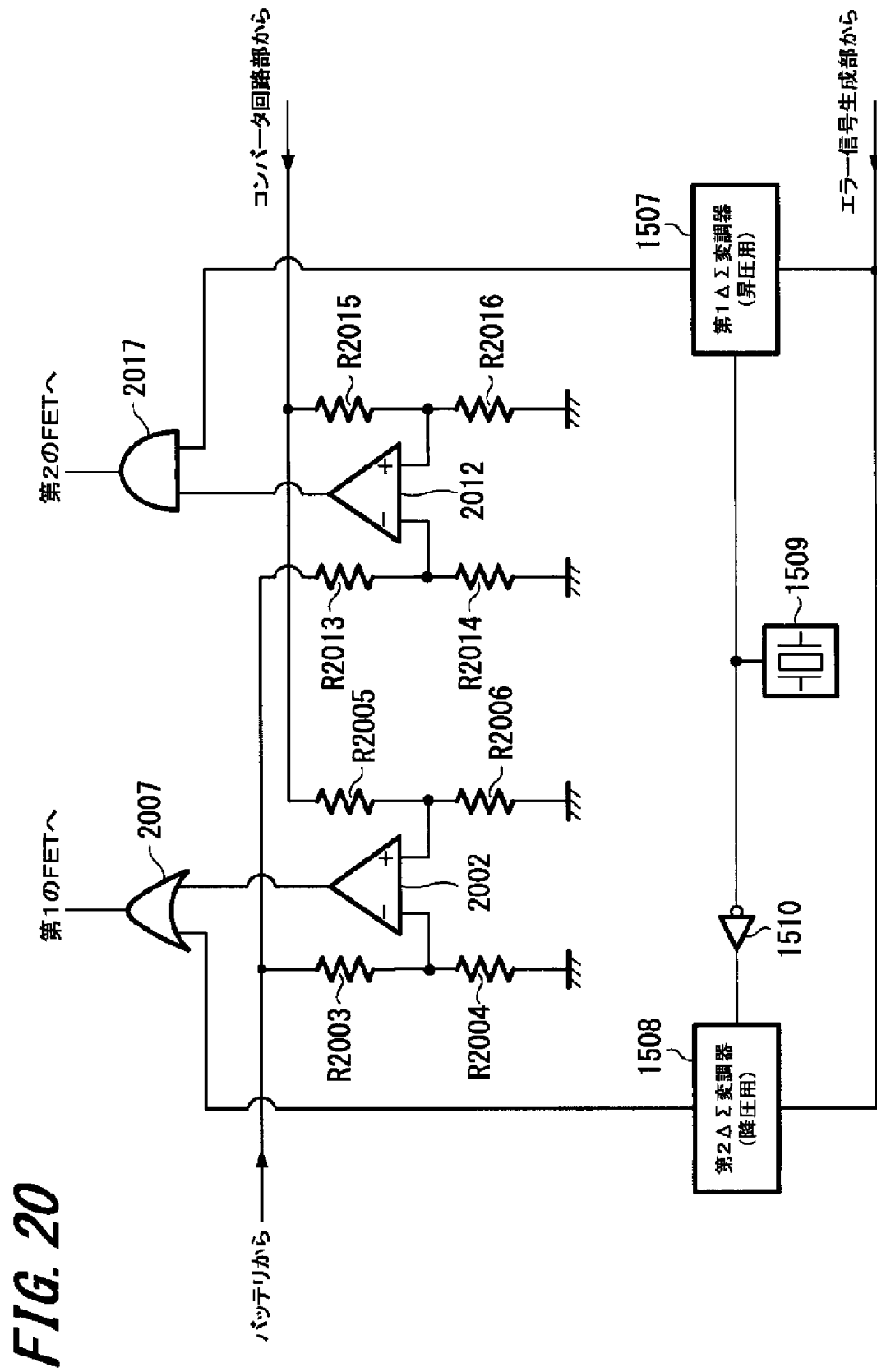
[図19]

**FIG. 19**

◆ 負荷変動に対する出力応答特性

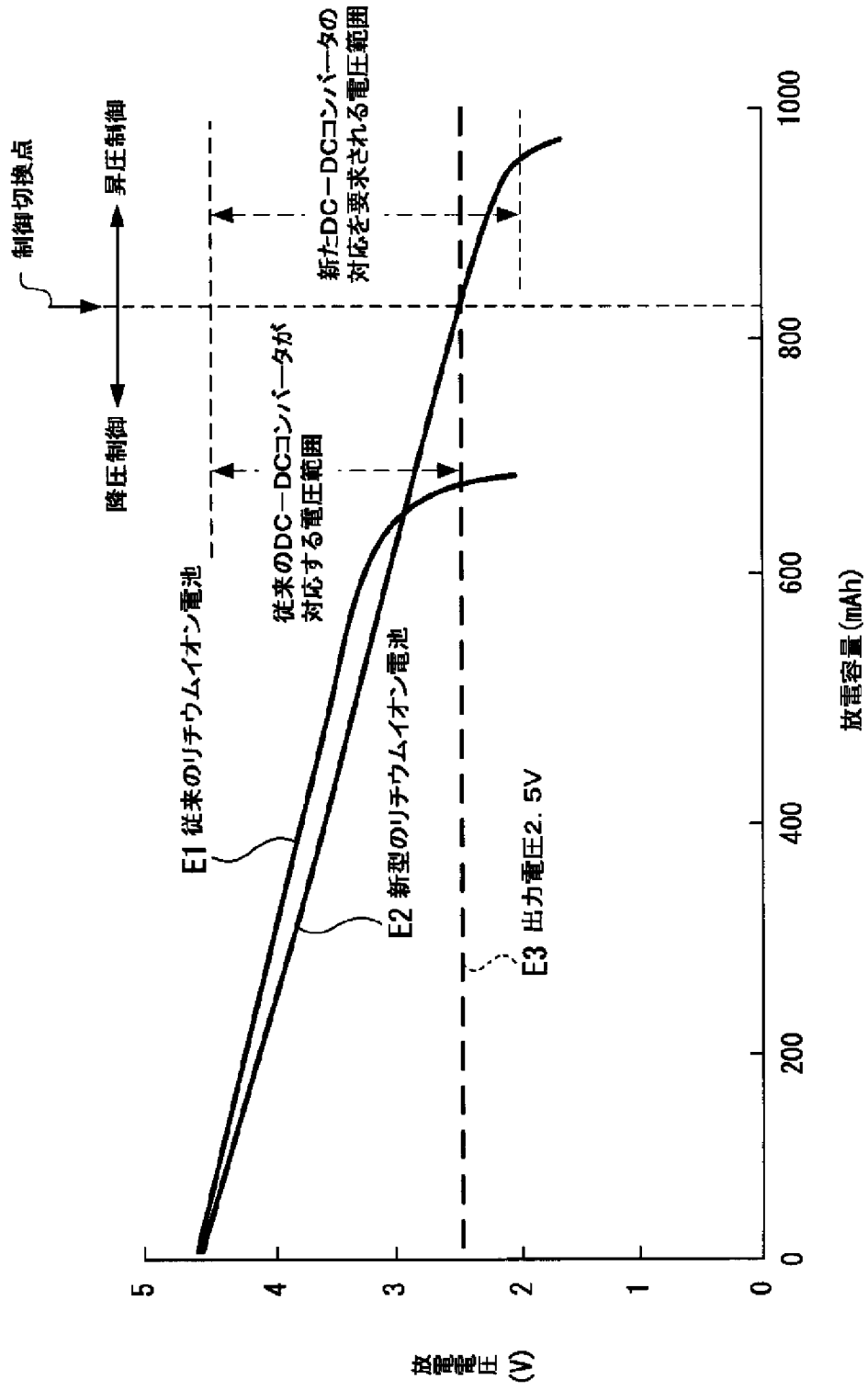


[図20]



[図21]

FIG. 21





**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/061737

**A. CLASSIFICATION OF SUBJECT MATTER**

H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-45943 A (Matsushita Electric Industrial Co., Ltd.), 17 February, 2005 (17.02.05), Par. Nos. [0031] to [0034]; Figs. 1, 2 (Family: none)	1-4, 6 7-10 5
Y A	JP 11-266579 A (Hewlett-Packard Co.), 28 September, 1999 (28.09.99), Par. Nos. [0009] to [0012]; Figs. 1 to 3 & US 5901176 A & EP 0910168 A1	7-10 5

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
20 June, 2007 (20.06.07)

Date of mailing of the international search report  
14 August, 2007 (14.08.07)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 2005-45943A (松下電器産業株式会社) 2005.02.17、段落【0031】-【0034】、第1, 2図 (ファミリーなし)	1-4, 6 7-10 5
Y A	J P 11-266579A (ヒューレット・パカード・カンパニー) 1999.09.28、【0009】-【0012】、第1-3図 & US 5901176A & EP 0910168A1	7-10 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日  
20.06.2007

国際調査報告の発送日  
14.08.2007

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
服部 俊樹  
電話番号 03-3581-1101 内線 3358